

### **Family list**

1 application(s) for: JP2000081642 (A)

## 1 LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

**Inventor:** KAWACHI GENSHIRO ; SHINAGAWA **Applicant:** HITACHI LTD  
**TAKAAKI (+1)**  
**EC:** **IPC:** G09F9/30; G02F1/136; G02F1/1365; (+15)  
**Publication info:** JP2000081642 (A) — 2000-03-21

Data supplied from the [esp@cenet](http://esp.cenet.org) database — Worldwide

# LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

Publication number: JP2000081642 (A)

Publication date: 2000-03-21

Inventor(s): KAWACHI GENSHIRO; SHINAGAWA TAKAAKI; MIMURA AKIO

Applicant(s): HITACHI LTD

Classification:

- international: G09F9/30; G02F1/136; G02F1/1365; G02F1/1368; H01L21/20; H01L21/268;  
H01L21/336; H01L29/786; G09F9/30; G02F1/13; H01L21/02; H01L29/66; (IPC1-  
7); G02F1/1365; G09F9/30; H01L21/20; H01L21/268; H01L21/336; H01L29/786

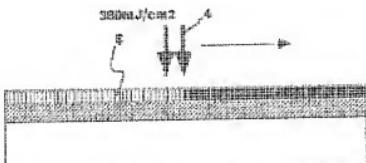
- European:

Application number: JP19990191210 19990706

Priority number(s): JP19990191210 19990706; JP19980190097 19980706

Abstract of JP 2000081642 (A)

PROBLEM TO BE SOLVED: To enhance the reliability of an element by surface smoothening and to enhance performance such as transfer rate by the increase of grain diameter by fusing the grains of a polycrystalline semiconductor by irradiation with high energy laser beams. SOLUTION: A silicon dioxide film is formed on an alkali-free glass substrate in 200 nm thickness. A hydrogenated amorphous silicon film of 35 nm thickness is then formed by plasma CVD using monosilane and hydrogen as gaseous starting materials. Hydrogen contained in the hydrogenated amorphous silicon film is released by irradiation with 30 shots of 200 mJ/cm<sup>2</sup> XeCl excimer laser beams and the dehydrogenated amorphous silicon is crystallized by irradiation with 300 mJ/cm<sup>2</sup> XeCl excimer laser beams to form a polycrystalline silicon film. The grains of the polycrystalline silicon film having about 60 nm average grain diameter are mutually fused by irradiation with 380 mJ/cm<sup>2</sup> XeCl excimer laser beams 4 to obtain the objective polycrystalline silicon film 6 having about 600 nm average grain diameter.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-81642

(P2000-81642A)

(43)公開日 平成12年3月21日 (2000.3.21)

(51)Int.Cl. <sup>1</sup>	識別記号	F I	マーク <sup>*</sup> (参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
H 0 1 L 21/20		H 0 1 L 21/20	
21/268		21/268	P
29/76		29/78	6 2 7 G

審査請求 未請求 請求項の数28 O.L (全 13 頁) 最終頁に統く

(21)出願番号	特願平11-191210	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 5 番地
(22)出願日	平成11年7月6日(1999.7.6)	(72)発明者	河内 玄士朗 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(31)優先権主張番号	特願平10-190097	(72)発明者	品川 駿明 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(32)優先日	平成10年7月6日(1998.7.6)	(72)発明者	三村 秋男 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(33)優先権主張国	日本 (JP)	(74)代理人	弁理士 作田 康夫 100075096

## (54)【発明の名称】 液晶表示装置およびその製造方法

## (57)【要約】

【課題】結晶粒径が大きくかつ、表面凹凸が小さな結晶性半導体表面の凹凸を得る。

【解決手段】水素を含む非晶質半導体の膜厚を4.5 nm以下とし、レーザ照射により一旦多結晶半導体を作製した後、さらに高エネルギーのレーザを照射して、前のレーザ照射によって形成された結晶粒を融着させて、さらに大きな結晶粒を成長させる方法を採用した。結晶の横方向成長ではなく、小さな結晶粒を融着させて大きな結晶粒を作ることにより、結晶粒界における突起の生成を抑制でき、表面の凹凸が少なくかつ結晶粒径の大きな高品質な結晶性半導体を形成できる。

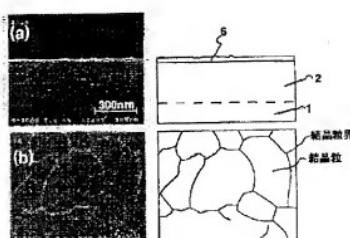


図 5

【特許請求の範囲】

【請求項1】 絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、該複数の半導体素子に接続された画素電極とを有する液晶表示装置の製造方法において、

前記半導体素子を構成する半導体膜は、水素を含有する非晶質半導体膜を形成する第1の工程と、

前記水素を含有する非晶質半導体膜に、第1のエネルギー密度を有するエネルギービームを照射する第2の工程と、前記半導体膜に、前記第1のエネルギー密度より大きい第2のエネルギー密度を有するエネルギービームを照射する第3の工程と、前記半導体膜に、前記第2のエネルギー密度より大きい第3のエネルギー密度を有するエネルギービームを照射する第4の工程と、を有する液晶表示装置の製造方法。

【請求項2】 前記第1の工程の非晶質半導体膜は、5 at %以上の水素を含有する請求項1の液晶表示装置の製造方法。

【請求項3】 前記第1の工程の非晶質半導体層の膜厚は、4.5 nm以下20 nm以上である請求項2の液晶表示装置の製造方法。

【請求項4】 絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極と、前記複数の半導体素子に接続され少なくとも一方の電極が半導体膜で構成された容量素子と、を有する液晶表示装置の製造方法において、前記容量素子の電極を構成する半導体膜は、

水素を含有する非晶質半導体膜を形成する第1の工程と、

前記水素を含有する非晶質半導体膜に、第1のエネルギー密度を有するエネルギービームを照射する第2の工程と、前記半導体膜に、前記第1のエネルギー密度より大きい第2のエネルギー密度を有するエネルギービームを照射する第3の工程と、前記第2のエネルギー密度より大きい第3のエネルギー密度を有するエネルギービームを照射する第4の工程と、を有する液晶表示装置の製造方法。

【請求項5】 前記第1の工程の非晶質半導体膜は、5 at %以上の水素を含有する請求項4の液晶表示装置の製造方法。

【請求項6】 前記第1の工程の非晶質半導体層の膜厚は、4.5 nm以下20 nm以上である請求項5の液晶表示装置の製造方法。

【請求項7】 請求項1～6のいずれかに記載の液晶表示装置の製造方法において、前記半導体素子または容量素子の一方の電極を構成する半導体膜は、表面の凹凸が5 nm以下である液晶表示装置の製造方法。

【請求項8】 請求項1～7のいずれかに記載の液晶表示装置の製造方法において、前記半導体素子または容量素子の一方の電極を構成する半導体膜は、多結晶半導体であつて、平均結晶粒径が60.0 nm以上である液晶表示装置の製造方法。

【請求項9】 請求項1～6のいずれかに記載の液晶表示装置の製造方法において、前記第1の工程から第4の工程を半導体膜表面を大気に曝すことなく実施することを特徴とする液晶表示装置の製造方法。

【請求項10】 絶縁性基板上に、絶縁膜を形成する工程と、

前記絶縁膜上に水素を含有する非晶質半導体膜を形成する工程と、

前記水素を含有する非晶質半導体膜に、第1のエネルギー密度を有するエネルギービームを照射する工程と、前記第1のエネルギー密度より大きい第2のエネルギー密度を有するエネルギービームを照射する工程と、前記第2のエネルギー密度より大きい第3のエネルギー密度を有するエネルギービームを照射する工程とを有する液晶表示装置の製造方法。

【請求項11】 請求項1～7のいずれかに記載の液晶表示装置の製造方法において、前記半導体膜は、シリコンを主成分とする液晶表示装置の製造方法。

【請求項12】 半導体薄膜にエネルギービームを照射して結晶化させる工程を有する液晶表示装置の製造方法において、レーザ等のエネルギービーム照射により第1の結晶性半導体を形成し、

更に高いエネルギー密度を有するレーザ等のエネルギービームを照射し、

前記第1の結晶性半導体に含まれる結晶粒を融着せしめ、第1の結晶性半導体よりも大きな結晶粒を有する第2の結晶性半導体を作製する液晶表示装置の製造方法。

【請求項13】 膜厚4.5 nm以下の半導体薄膜にレーザ等のエネルギービームを照射して結晶化させる工程を有する液晶表示装置の製造方法において、レーザ等のエネルギービーム照射により第1の結晶性半導体を形成後、更に高いエネルギー密度を有するレーザ等のエネルギービームを照射して、前記第1の結晶性半導体に含まれる結晶粒を融着せしめ、第1の結晶性半導体よりも大きな結晶粒を有する第2の結晶性半導体を作製することを特徴とする液晶表示装置の製造方法。

【請求項14】 請求項11又は12の液晶表示装置の製

造方法において、

前記半導体薄膜は、非晶質シリコン膜である液晶表示装置の製造方法。

【請求項15】請求項1～6のいずれかに記載の液晶表示装置の製造方法において、

前記非晶質半導体膜は、プラズマ化学気相成長法により形成する液晶表示装置の製造方法。

【請求項16】請求項10の液晶表示装置の製造方法において、

前記絶縁膜の内、前記非晶質半導体膜と接触する絶縁膜を、アルコキシランと水素の混合ガスを原料としたプラズマ化学気相成長法により形成する液晶表示装置の製造方法。

【請求項17】請求項16の液晶表示装置の製造方法において、

前記アルコキシランは、分子内にS-H結合を有する液晶表示装置の製造方法。

【請求項18】絶縁性基板上に、

絶縁膜を形成する工程と、  
前記絶縁膜上に水素を含有する非晶質半導体膜を形成する工程と、

前記水素を含有する非晶質半導体膜に、第1のエネルギー密度を有するエネルギービームを照射する工程と、

前記第1のエネルギー密度より大きい第2のエネルギー密度を有するエネルギービームを照射する工程と、

前記第2のエネルギー密度より大きい第3のエネルギー密度を有するエネルギービームを照射する工程と、を経て多結晶半導体膜を得る工程と、

前記多結晶半導体膜を所定の形状にバーニングする工程と、

前記バーニングされた多結晶半導体を覆うようにゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜を介して、前記多結晶半導体の一部上に延在するようにゲート電極を形成する工程と、

前記ゲート電極をマスクとして、イオン注入法等の手段により前記多結晶半導体の所定部分にP型あるいはN型不純物を導入する工程と、  
熱処理により前記P型あるいはN型不純物を活性化しソース、ドレイン領域を形成する工程と、

前記多結晶半導体およびゲート電極、ソース、ドレイン領域を覆うように肩間絶縁膜を形成する工程と、

前記ソース、ドレイン電極上の肩間絶縁膜に開口部を設ける工程と、

前記開口部を介して、前記ソース、ドレイン領域に接続するようにソース電極、ドレイン電極を形成する工程と、

前記ソース、ドレイン電極を少なくとも覆うように保護絶縁膜を形成する工程と、

前記ソースまたはドレイン電極上の保護絶縁膜に第2の開口部を設ける工程と、

前記第2の開口部を介して、前記ソースまたはドレイン電極に接続する画素電極を形成する工程と、を有する液晶表示装置の製造方法。

【請求項19】請求項1～18のいずれかに記載の液晶表示装置の製造方法において、

前記絶縁性基板は、歪み点が700°C以下のガラス基板であって、少なくともその一边が800mm以上ある液晶表示装置の製造方法。

【請求項20】絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極とを有する液晶表示装置において、

前記半導体素子を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が45nm以下200m以上でかつ表面の平均粗さが5nm以下で、かつ平均結晶粒径が600nm以上である液晶表示装置。

【請求項21】絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続され、少なくとも一方の電極が半導体膜で構成された容積素子とを有する液晶表示装置において、

前記容量素子の電極を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が45nm以下200nm以上でかつ表面の平均粗さが5nm以下で、かつ平均結晶粒径が600nm以上である液晶表示装置。

【請求項22】絶縁性基板上に複数の信号配線と、前記複数の信号配線に交差するように形成されたゲート配線と、前記信号配線とゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極とを少なくとも有する液晶表示装置において、

前記半導体素子を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が45nm以下200nm以上でかつ表面の平均粗さが5nm以下で、かつ平均結晶粒径が600nm以上であって、かつ任意の結晶粒の面積をSnとした時、その結晶粒の表面における外周の長さLnが、 $Rn = (Sn/\pi)^{1/2}$ で定義されるRnに対して、少なくとも50%以上の結晶粒において  $Sn \leq 4\pi Rn^2$  が成立立つ半導体薄膜である液晶表示装置。

【請求項23】絶縁性基板上に複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極と、前記複数の半導体素子に接続され、少なくとも一方の電極が半導体膜で構成された容量素子とを有する液晶表示装置において、

前記容量素子の電極を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が45nm以下200nm以上でかつ表面の平均粗さが5nm以下で、かつ平均結晶粒径が600nm以上である液晶表示装置。

化法によって作製された、膜厚が4.5 nm以下2.0 nm以上でかつ表面の平均粗さが5 nm以下で、かつ平均結晶粒径が6.0 nm以上であって、かつ任意の結晶粒の面積をS nとした時、その結晶粒の表面における外周の長さL nが、 $R_n = (S_n / \pi)^{1/2}$ で定義されるR nに対して、少なくとも50%以上の結晶粒においてL n < 4 π R n が成り立つ半導体薄膜である液晶表示装置。

【請求項2 4】請求項2 0～2 3のいずれかに記載の液晶表示装置において、

前記半導体膜は順表面の主たる結晶配向が(1 1 1)である多結晶シリコン膜である液晶表示装置。

【請求項2 5】請求項2 0～2 4のいずれかに記載の液晶表示装置において、

前記絶縁性基板は、歪み点が700°C以下のガラス基板である液晶表示装置。

【請求項2 6】請求項2 0～2 4のいずれかに記載の液晶表示装置において、

前記半導体素子は、前記半導体膜上に絶縁膜を介してゲート電極が形成されたトップゲート構造を有する液晶表示装置。

【請求項2 7】請求項1～6のいずれかに記載の液晶表示装置の製造方法において、

前記エネルギービームは、レーザ光である液晶表示装置の製造方法。

【請求項2 8】請求項1～6のいずれかに記載の液晶表示装置の製造方法において、

前記第2の工程又は前記第3の工程又は前記第4の工程のエネルギービームの照射は、複数回行う液晶表示装置の製造方法。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

【発明の属する技術分野】本発明は、液晶表示装置およびその製造方法に関し、特に大型、高精細、高画質を有する高品位の液晶表示装置の構成およびその製造方法に関するものである。

##### 【0 0 0 2】

【従来の技術】O A機器等の画像情報、文字情報の表示装置として、薄膜トランジスタ(以下TFTと記す)を用いたアクティブラチックス方式の液晶表示装置が知られている。従来この種の液晶表示装置においては低コスト化、高精細化、高画質化が重要な課題である。これらの課題を解決するためにはキーデバイスであるTFTの性能向上が欠かせない。高性能なTFTを安価なガラス基板上に形成するに際して、例えば、特開平8-167722号公報に記載されているように、TFTアクティブラチックス方式を駆動する周辺駆動回路をもTFTで構成し、同一基板上に集積してコストを低減することが試みられている。より高機能の周辺駆動回路をガラス基板上に集積できれば外部に実装する回路構成や実装工程を簡素化できるので実装コストの大幅な削減が期待できる。

高機能の回路を構成するためには、より高性能なTFTが必要とされる。特に、現在周辺駆動回路集積型の液晶表示装置用のTFTとして多結晶シリコン(以下poly-Siと記す)膜上に形成したpoly-Si TFTが、期待されている。高性能なpoly-Si TFTを大面積基板上に形成するためには高品質なpoly-Si膜を低温で形成することが必要である。低温で、高品質なpoly-Si膜を大型のガラス基板上に形成する技術として、高出力レーザを用いたレーザ結晶化法が知られている。

【0 0 0 3】従来、半導体薄膜のレーザ結晶化法では、特に粒径の大きな多結晶が形成される際、その膜厚と同じレベルの高さの突起が生成する。この半導体薄膜を、デバイス、特に薄膜トランジスタの能動層に適用した時に、突起部における電界集中によってホットキャリアがゲート絶縁膜を劣化させるため、この突起がゲート絶縁膜の耐圧特性や長期使用に対する信頼性を低下させる一因となっている。これまでに報告されている、レーザ結晶化を用いた表面の凹凸が少ない結晶性半導体薄膜の製造方法としては、

(1) IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 42 NO. 2 1995 p251に記載されているようにレーザを1 mJ/cm<sup>2</sup>ビッチで多段階照射する。

【0 0 0 4】(2) Dig. of Tech. Papers 1997 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1997) p167に記載されているように、非晶質シリコンを固層成長法で多結晶化した後、レーザ照射する。

【0 0 0 5】(3) Dig. of Tech. Papers 1996 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1996) p85に記載されている結晶化の際に半導体表面にレーザ光を透過するキャップ材を形成して、凹凸の成長を抑える手法がある。

##### 【0 0 0 6】

【発明が解決しようとする課題】上記従来技術では以下のようないくつかの問題がある。従来技術の(1)は、レーザを細かく1 mJ/cm<sup>2</sup>で多段階照射するため、一度できた多結晶シリコンが溶融しにくく、結晶粒径が6.0 nm程度の多結晶シリコンしか作製できず、結晶粒径が5.0 nm以上の大きな多結晶シリコンができるといいう問題点がある。

【0 0 0 7】(2)では、固層成長法を用いるため、シリコンを1000°Cで加熱するので安価なガラス基板が使用できず、高コストで結晶性半導体を製造できない問題がある。

【0 0 0 8】(3)では、レーザ照射による溶融時に、熱がキャップ材に熱伝導で逃げため、結晶化速度が速まり結晶粒径の小さな品質の悪い多結晶半導体しかできないのが問題である。

【0 0 0 9】以上のように、従来のレーザ結晶化の方法

では、表面の平滑化による素子信頼性の向上と大粒径化による移動度等の性能の向上の両立が困難であった。

【0010】これに対して、本発明はレーザ結晶化法を用い、結晶粒径の拡大と半導体表面での突起生成の抑制との両立を目的としており、膜厚が4.5 nm以下でかつ平均結晶粒径が60.0 nm以上でかつ表面の平均粗さが5 nm以下と平坦な高性能な結晶性半導体膜およびそれを用いた液晶表示装置を提供するものである。

#### 【0011】

【課題を解決するための手段】上記課題を解決するため、本発明では半導体薄膜をレーザ結晶化する際に、半導体の膜厚を4.5 nm以下とし、レーザ照射により一旦多結晶半導体を作成した後、さらに高エネルギーのレーザを照射して、前のレーザ照射によって形成された結晶粒を融着せしめ、さらに大きな結晶粒を有しつつ表面が平坦な多結晶半導体膜を成長させることを特徴としている。

【0012】具体的には、絶縁基板上に、水素を含有する非晶質半導体膜を形成する第1の工程と、前記水素を含有する非晶質半導体膜に、第1のエネルギー密度を有するレーザ光等のエネルギー一ビームを少なくとも一回以上照射する第2の工程と、前記半導体膜に、前記第1のエネルギー密度より大きい第2のエネルギー密度を有するレーザ光等のエネルギー一ビームを少なくとも一回以上照射する第3の工程と、前記半導体膜に、前記第2のエネルギー密度より大きい第3のエネルギー密度を有するレーザ光等のエネルギー一ビームを少なくとも一回以上照射する第4の工程とを少なくとも有する製造工程を採用した。

【0013】初期膜として、適度の水素を含む非晶質半導体膜をプラズマCVD法により形成することにより、一边が8.0 nm以上あるような大型のガラス基板上に40.0 °C以下の低温で、均一に非晶質半導体を形成できる。また、初期膜の膜厚はレーザ再結晶化後の表面凹凸の大きさに影響を及ぼす。本発明者らの実験によれば、膜厚としては4.5 nm以下であれば、表面凹凸は概ね5 nm以下に抑制できること明らかとなっている。

【0014】次に、第1のレーザ照射により、前記非晶質半導体中を加熱し、膜中の水素を脱離させる。

【0015】この時の照射エネルギー密度は膜の溶融、結晶化が起こらない程度とし、膜中の水素が一気に放出されることによる膜のポイドの発生を防止する。

【0016】次に、第1のレーザより強い第2のレーザ照射により、非晶質半導体を溶融、再結晶化させて、平均結晶粒径が5.0 nm程度の小さい結晶粒から構成される多結晶半導体膜を得る。

【0017】この時に、結晶粒径を大きくするために照射エネルギーを一気に増大させると、完全に溶融したシリコンが、結晶化する際に、水平方向（下地基板に対して平行な方向）にも大きな温度勾配に従い結晶成長が水

平方向に進み、隣り合う成長面が衝突する領域（紋界）で、密度が溶融状態の2.5 g/cm<sup>3</sup>から結晶状態の2.3 g/cm<sup>3</sup>まで減少するため、体積の膨張が起り突起が生成平滑な表面を得るという目的を達成できない。このため、第2のレーザビーム強度としては平均結晶粒径が5.0 nm程度の小さい結晶粒から構成される多結晶半導体膜が得られる範囲を選ぶことが重要である。

【0018】最後に、第2のレーザビームよりもさらに強い第3のレーザビームの照射により、第2のレーザ照射で得られた小粒径の結晶粒を融着させて大粒径の多結晶半導体膜を得る。このようにして得られた大粒径多結晶半導体膜は、粒界を挟んだ結晶粒が融着（二次粒成長）することにより結晶粒の拡大が起きている。この時、水平方向に進む結晶成長面の衝突は起きないので、突起の高さは低いレーザで結晶化したときのものが維持されるので、結晶化プロセス全般にわたって、高い突起の生成は抑制される。

【0019】また、このようにして得られた多結晶半導体膜は、結晶粒は不定形であり、その結晶粒の表面における外周の長さL<sub>n</sub>が、 $R_n = (S_n / \pi)^{1/2}$ で定義されるR<sub>n</sub>に対して、少なくとも50%以上の結晶粒においてL<sub>n</sub> ≤ 4πR<sub>n</sub>が成立つものである。通常、固層成長法によって作製した多結晶半導体膜では、結晶粒はデンダライト形状となり、結晶粒の面積に対して非常に大きな外周長を有し、上式は成立しない。このような多結晶半導体膜では結晶欠陥が多く大きなキャリア移動度が得られない。これに対し本発明による多結晶半導体膜は、結晶粒の外周長が小さく高品質な結晶性半導体となっている。

【0020】このような大粒径で平坦な多結晶半導体膜は、高信頼で高性能なTFTに好適である。

【0021】本発明のその他の特徴は以下の実施の形態から明らかとなる。

#### 【0022】

【発明の実施の形態】以下、本発明の実施例につき半導体膜としてシリコンを用いた例を図面を参照しながら説明する。

【0023】（実施の形態1）6.80 mm×8.80 mmで歪み点6.70 °Cの無アルカリガラス基板1上にテトラエチルオルソシリケイト（TEOS）と酸素ガスを原料としたプラズマCVD法で酸化シリコン膜2を2.00 nm成長する。

【0024】成膜温度は36.0 °CでTEOSとO<sub>2</sub>の流量比は1:1.00である。下地酸化シリコン膜は上層の半導体膜と接触するためゲート酸化膜と同等の良質な膜を形成する必要がある。TEOS : O<sub>2</sub>比を1:1.00とし、成膜温度3.5 °Cとすることにより、固定電荷密度が小さい良質な酸化シリコン膜2をえることができた。また、TEOSの替わりに、TEOS分子の4つのアルキル基のひとつをHで置き換えたトリエトキシアル

シリケイト ( $H-S-i-O_2(C_2H_5)_3$ ) を使うことも良質な膜を形成するために有効である。

【0025】次に、モノシリコンと水素をプロセスとするプラズマCVD法により膜厚3.5 nmの水素化非晶質シリコン3を成長する。赤外吸収法により評価した膜中の水素量は7~10 at%であった。(図1)

次に、 $200\text{ mJ/cm}^2$  の Xe C I エキシマレーザ4を3.0ショット照射して、上記水素化非晶質シリコン3の含有水素を脱離させる。脱水素処理後の膜中水素量は1~3 at%であった。(図2)

次に  $300\text{ mJ/cm}^2$  の Xe C I エキシマレーザ4を照射して、脱水素化処理した非晶質シリコン4を結晶化させ多結晶シリコン膜5を形成する。平均結晶粒径は約6.0 nmであった。(図3)

次に、 $3.8\text{ mJ/cm}^2$  の Xe C I エキシマレーザ4を多結晶シリコン膜5に照射すると、平均結晶粒径は約6.0 nmの結晶粒が相互に融着して平均結晶粒径が約6.0 nmの多結晶シリコン膜6が得られた。(図4)

図5にこのようにして得られた多結晶シリコン膜6の表面および断面の走査電子顕微鏡像写真を示す。平面図においては結晶粒界ははっきりさせるために粒界部分はエッティング処理により除去してある。写真から分かるように膜の表面は極めて平滑であり、大きな結晶粒が得られていることが分かる。表面の平均凹凸は3 nmであった。平坦化を達成する上で初期の非晶質シリコンの膜厚は重要な要素である、図6は膜厚5.5 nmの水素化非晶質シリコンに對し、同様な工程を施して作製した多結晶シリコン膜の表面および断面走査電子顕微鏡像写真を示す。膜厚5.5 nmでは同様な工程を経てもしかわらず、表面に膜厚と同程度の高さの突起がみられ、従来のレーザ結晶化法で作製した多結晶シリコン膜と変わることろがなかった。そこで、表面凹凸および結晶粒径と初期膜である水素化非晶質シリコンの膜厚の関係を詳細に調べた。

【0026】図7に異なる初期膜厚のシリコン膜に対する膜の平均結晶粒径と3回目のニキシマレーザの照射エネルギーの関係を示す。

【0027】尚、結晶粒の平均粒径は、各々の結晶粒の面積に等しい円の直径で定義してあり、m個の結晶粒が存在する任意の領域(面積はS)の平均結晶粒径1aは次式で定義される。

【0028】 $1a = 2 \times ((S/m)/\pi)^{1/2}$

なお、本発明では、平均結晶粒径を求める範囲の面積SはSEMの場合、結晶粒の大きさが確認できる倍率で撮影された、一视野の中の粒界が視野から外れ切れることなくその全体が撮影された各結晶粒の面積の合計である。また、複数の視野がある場合は、各視野の全体が視野に入った結晶粒の面積の合計を全視野あわせた合計が面積Sとなる。AFMやSTM等の場合、その任意の測定範囲内に粒界が全てに入った各々の結晶粒の面積の合

計である。

【0029】平均結晶粒径が最大となる照射エネルギーは初期膜の膜厚に依存し、膜厚が薄くなるほど小さくなる。また、平均結晶粒径の最大値も初期膜の膜厚に依存し、膜厚4.5~3.5 nmで最も大きくなり、それより膜厚が薄くても厚くても最大粒径は小さくなることが分かる。膜厚が薄くなるほど最大粒径が大きくなるのは、2次結晶粒成長のドライビングフォースとなる基板界面での表面エネルギーが粒界での原子再配列に必要な粒界エネルギーにからべ大きくなり2次結晶粒成長が起こりやすくなつたためと考えられる。この結果から、結晶粒径を大きくするためには初期膜の膜厚としては4.5 nm以下、望ましくは3.5 nm~4.5 nmが良いことがわかる。

【0030】図8は最大平均結晶粒径が得られた膜の表面凹凸および最大結晶粒径と初期膜の膜厚の関係を示す。

【0031】表面凹凸は原子間力顕微鏡(AFM)により求めた平均粗さである。

【0032】本発明では表面の平均粗さは算術平均粗さ( $R_a$ )を意味しており、半導体の表面形状を三次元で分析する場合は、表面形状曲面と表面形状の平均高さの面で囲まれた部分の体積を測定面積で割ったものである。本発明では測定面積を、三次元で表面形状を分析できるAFMや走査型トンネル電子顕微鏡(SSTM)等の分析手段で分析する場合、分析が可能である分析限界面積よりも大きな面積をもった半導体表面の任意の範囲とする。一方、表面形状を半導体の二次元の断面構造で分析する場合、表面平均粗さは、図9に示すように表面形状曲線から得られると表面形状の高さの積分値を測定長で割ったものである。断面構造はTEMや高分解能走査型電子顕微鏡(SEM)の写真によって観察できる。またAFMやSTMの測定針を1回走査することでも可能である。本発明で、平均粗さを算出する測定長の範囲は、TEMやSEM等の電子顕微鏡を分析手段とする場合、粗さの算出が可能な倍率である電子顕微鏡の一視野もしくは複数の視野である。また、AFMやSTMを用いている場合は、その測定限界長さよりも長い半導体表面の任意の範囲である。本発明では、平均粗さの算出法は三次元の形状からの算出と断面形状からの算出のどちらを用いてもよい。三次元の形状を見た場合、膜厚方向をZ軸、測定された表面形状曲面を $z = f(x, y)$ とする

と、 $R_a$ は次式のようになる。

【0033】 $R_a = (1/(L_x \cdot L_y)) \times \int_{-L_y/2}^{L_y/2} \int_{-L_x/2}^{L_x/2} f(x, y) dxdy$

ここで $L_x : X$ 方向測定長、 $L_y : Y$ 方向測定長一方、断面構造を見た場合、膜厚方向をX軸、測定された表面形状曲線を $z = f(x)$ とすると、 $R_a$ は次式のようになる。

【0034】 $R_a = (1/L_x) \times \int_{-L_x/2}^{L_x/2} f(x) dx$

ここで  $L_x$  : X 方向測定長である。

【0035】図8の結果より、平均結晶粒径  $6.00 \text{ nm}$  を得るためにには初期膜厚  $2.0 \text{ nm}$  以上が望ましいことがわかる。また、表面凹凸  $5 \text{ nm}$  以下を得るためにには膜厚が  $4.5 \text{ nm}$ 、望ましくは  $4.0 \text{ nm}$  以下とすることが望ましい。

【0036】また、本発明による多結晶シリコン膜をX線回折法で観察すると、基板面上に平行な結晶面が(111)面に強く配向していることが判明した。これは、Siでは(111)面の表面エネルギーが最も小さくなるため起こる現象であり、結晶粒径の増大が、表面エネルギーがドライビングフォースとなって起こる2次結晶粒成長によって引き起こされていることを裏付けている。

【0037】また、このように結晶粒の結晶面をそえることにより、実用上では結晶界でのボテンシャルバリアが低くなりキャリア移動度が増大する効果がある。

【0038】(実施の形態2) 本発明の第2の実施の形態を図10～図19により説明する。

【0039】 $6.80 \text{ nm} \times 8.80 \text{ nm}$  で重みた  $6.70 \text{ °C}$  の無アルカリガラス基板1上にモノシリコンとアンモニアと窒素の混合ガスを原料としたプラズマCVD法により塗布シリコン膜200を  $1.00 \text{ nm}$  堆積する。

【0040】次にテトラエチルオルソシリケイト(TEOS)と酸素ガスを原料としたプラズマCVD法で酸化シリコン膜2を  $2.00 \text{ nm}$  成膜する。

【0041】続いて、モノシリコンと水素を原料ガスとするプラズマCVD法により膜厚  $4.0 \text{ nm}$  の水素化非品質シリコン3を成膜する。(図10)シリコン3を成膜する。赤外吸収法により評価した膜中の水素量は  $7 \sim 10 \text{ at\%}$  であった。

【0042】次に、 $2.00 \text{ mJ/cm}^2$  のXeClエキシマレーザ4を30ショット照射して、上記水素化非品質シリコン膜3の含有水素を脱離させる。脱水素処理後の膜中水素量は  $1 \sim 3 \text{ at\%}$  であった。

【0043】次に  $3.00 \text{ mJ/cm}^2$  のXeClエキシマレーザ4を照射して、脱水素処理した非品質シリコン3を結晶化させ多結晶シリコン膜5を形成する。このとき平均結晶粒径は約  $6.0 \text{ nm}$  となった。

【0044】次に、 $3.80 \text{ mJ/cm}^2$  のXeClエキシマレーザ4を多結晶シリコン膜5に照射すると、結晶粒が融着して平均結晶粒径が約  $6.00 \text{ nm}$  で表面平均粗さが  $3 \text{ nm}$  の多結晶シリコン膜6を形成する。(図11)次に、周知のホトリソグラフィ法により前記多結晶シリコン膜6を所定形状にバーニングする。

【0045】次に、テトラエチルオルソシリケイト(TEOS)と酸素ガスを原料としたプラズマCVD法でゲート絶縁膜20を二酸化シリコン膜と  $5.0 \text{ nm}$  堆積する。成膜時の基板温度は  $3.6 \text{ °C}$ 、TEOSとO<sub>2</sub>のガス混合比は  $1:1.00$  とし、ゲート絶縁膜20として二酸化シリコン膜を得た。(図12)

次に、ゲート電極としてNb膜  $2.50 \text{ nm}$  をスピッタリング法により堆積し、周知のホトリソグラフィ法により所定の平面形状にバーニングしTFTのゲート電極およびこれと一体化された走査配線電極であるゲート電極10を得る。(図13)

次にゲート電極をマスクとしてイオン注入法によりリンを加速電圧  $4.5 \text{ keV}$ 、ドーズ量  $1 \text{ E} 1.3 \text{ cm}^{-2}$  で打ち込み層3を形成する。(図14)次に、ホトリソグラフィ法により所定のホトレジストパターンを形成後、リンを加速電圧  $4.0 \text{ keV}$ 、ドーズ量  $1 \text{ E} 1.5 \text{ cm}^{-2}$  で打ち込み層3を形成する。(図15)

前記のホトレジストパターンを除去後、ホトリソグラフィ法により別のホトレジストパターンを形成し、ポロンを加速エネルギー  $3.0 \text{ keV}$ 、ドーズ量  $3 \text{ E} 1.5 \text{ cm}^{-2}$  で注入し、p層3を形成する。(図16)

層間絶縁膜としてテトラエチルオルソシリケイト(TEOS)と酸素ガスを原料としたプラズマCVD法で層間絶縁膜21として二酸化シリコン膜を  $5.00 \text{ nm}$  堆積し  $4.50 \text{ °C}$  で1時間熱処理し注入イオンを活性化する。(図17)

周知のホトリソグラフィ法により層間絶縁膜にコンタクトスルーホールを開口した後、ソース、ドレイン電極としてA1を  $4.50 \text{ nm}$ 、Crを  $5.0 \text{ nm}$  スピッタリング法で堆積し、周知のホトリソグラフィ法によりバーニングしてソース電極11、ドレイン電極12を得る。(図18)

次に、保護絶縁膜として、テトラエチルオルソシリケイト(TEOS)と酸素ガスを原料としたプラズマCVD法で保護絶縁膜22として二酸化シリコン膜を  $2.00 \text{ nm}$  とモノシリコンとアンモニアと窒素の混合ガスを原料としたプラズマCVD法により保護絶縁膜23として塗布シリコン膜を  $5.00 \text{ nm}$  堆積する。

【0046】次に、基板を水素あるいは窒素雰囲気中  $4.00 \text{ °C}$  で1時間熱処理することにより、保護絶縁膜23として塗布シリコン膜中に含有される水素を前記多結晶シリコン膜3へ拡散させ、結晶粒界に存在する欠陥を封止して不活性化する。

【0047】最後に、周知のホトリソグラフィ法により保護絶縁膜にコンタクトスルーホールを開口した後、ITO膜をスピッタリング法により  $1.40 \text{ nm}$  堆積し、周知のホトリソグラフィ法により加工し面素電極13を形成し、多結晶シリコンTFTを用いたアクティブマトリクス基板を得る。(図19)

本実施の形態では、表面の平均粗さが  $3 \text{ nm}$  と平坦な多結晶シリコン膜6を用いてTFTアクティブマトリックスを構成したので、信頼性を低下させることなく多結晶シリコン膜6上のゲート絶縁膜の膜厚を  $5.0 \text{ nm}$  まで薄くすることができた。

【0048】図20は本実施の形態の製造方法により作製したTFTのゲートソース間リーキ電流特性を從来

の TFT と比較したものである。

【0049】ゲート絶縁膜が 5.0 nm の従来の素子では多結晶シリコン膜表面の突起部での電界集中により印加電界 2 MV/cm 以下の低電界領域で大きなリーケ电流を示し、かつ絶縁破壊電界も 4 MV/cm 以下と低く液晶駆動用 TFT としては実用に耐えないが、本実施の形態の製造方法により作製した TFT では表面の平滑性のために低電界領域でのリーケ电流は十分低く抑えられており、かつ絶縁破壊電界も 7 MV/cm と高く、高信頼の TFT が得られた。

【0050】また、平均結晶粒径が 6.0 nm と良好な結晶性を持つ多結晶シリコンを用いたため、NMOS の電界効果移動度として 30.1 cm<sup>2</sup>/Vs と良好な TFT が得られた。これら高いキャリア移動度とゲート絶縁膜の薄漸化の特徴により、電流駆動能力の高い高性能な TFT を得ることができた。このような高性能 TFT は、高品位の表示装置の駆動回路に必要とされる高性能駆動回路を構成するためには適なものである。

【0051】(実施の形態 3) 図 21 は本発明の別の実施の形態にかかる液晶表示装置の単位像素の平面図、図 22 は図 21 中 A-A' で示される線に沿った断面図である。

【0052】本実施の形態においては、TFT を構成する半導体だけでなく、TFT に接続された容量素子 Cst の一方の電極を本発明の多結晶シリコンで構成した点に特徴がある。容量素子 Cst は、多結晶シリコン膜 3.0 と共通電極 1.5 およびこれらに挟持されたゲート絶縁膜 2.0 などで構成されている。

【0053】このような容量素子は液晶層の容量の電圧依存性や、TFT のゲート-ソース間の寄生容量に起因するフィードスルーレ電圧に起因して発生する液晶印加電圧の非対称を補償するために液晶容量と並列に設けられる。液晶印加電圧の非対称を十分小さくするためには容量値はできるだけ大きくするほうがよいが、容量素子は一般に面積を必要とするため、大きな容量を形成すると画面内で光が透過する開口部の面積が小さくなり、光利用率が低下する。

【0054】また、大きな面積を取る容量部ではショート不良が起こりやすい。特に、表面に大きな突起がある従来の多結晶シリコン膜を容量電極として用いると容量部でのショート不良が頻発し漏電欠陥が発生しやすい。容量電極として、本発明による表面が平坦な多結晶シリコン膜を用いたことにより、容量素子部でのショート不良発生がほとんどないため、画素欠陥のない良質な液晶表示装置を構成できた。また、ショート不良を増加させることなく容量部の絶縁膜を薄くすることが可能となつたので、単位面積あたりの容量を大きくすることができます、容量形成に必要な面積を縮小できた。このため開口部の面積を大きくすることができたので光利用効率が向上し、より明るい液晶表示装置を構成できた。

【0055】(実施の形態 4) 図 23 は、周辺駆動回路を TFT アクティブラミックスとともに同一基板上に集成した表示装置全体の等価回路を示す。Y 1 ~ Yend の走査信号線 1.0 と、X 1 R ~ Xend B からなる映像信号線であるドレイン電極 1.2 および、これらの交差点付近に形成された TFT よりなるアクトィブラミックス 5.0 と、これを駆動する垂直走査回路 5.1、1 走査線分のビデオ信号を複数のブロックに分割して時分割的に供給するための毎水平走査回路 5.3、ビデオ信号 Data を供給するデータ信号線 Vdr.1、Vdg.1、Vdb.1、…、ビデオ信号を分割ブロック毎にアクトィブラミックス側へ供給するスイッチマトリックス回路 5.2 による。

【0056】半導体膜として、本発明の特徴である表面凸が 5 nm 以下と平坦で、平均結晶粒径が 6.0 nm 以上の大粒径の多結晶シリコン膜を用いたため、NMOS で 30.0 cm<sup>2</sup>/Vs 以上の高移動度の TFT を得ることができた。この TFT を用いたことにより、水平走査回路の高速化が可能となった。このことにより、ビデオ信号を複数のブロックに分割する場合の分割数を少なくできるので、外部からの信号接続構数を少なくでき、コンパクトな液晶表示装置を実現できた。

【0057】また、駆動回路の高速化により、対角サイズ 1.0 インチで垂直走査線数 1200 本水平信号線数 1.6 × 0.3 本と高精度の駆動回路内蔵型液晶表示装置を実現した。

【0058】(実施の形態 5) 図 24 は本発明に係る液晶表示装置の液晶セル断面模式図を示す。液晶層 506 を基準に下部のガラス基板 1.1 上には、ゲート電極 1.0 と映像信号電極であるドレイン電極 1.2 とがトライックス状に形成され、その交点近傍に形成された TFT を介して ITO よりなる画素電極 1.3 を駆動する。液晶層 506 を挟んで対向する対向ガラス基板 5.0.8 上には ITO よりなる対向電極 5.1.0、及びカラーフィルター 5.0.7、カラーフィルター保護膜 5.1.1、遮光用ブラックマトリックスバターンを形成する遮光膜 5.1.2 が形成されている。偏光板 5.0.5 はそれぞれ一対のガラス基板 1.5.0.8 の外側の表面に形成されている。液晶層 5.0.6 は液晶分子の向きを設定する下部配向膜 ORI 1.1 と、上部配向膜 ORI 1.2 の間に封入され、シール材 SL (図示せず) によってシールされている。下部配向膜 ORI 1.1 は、ガラス基板 1.1 の保護絶縁膜 2.3 の上部に形成される。対向ガラス基板 5.0.8 の内側の表面には、遮光膜 5.1.2、カラーフィルター 5.0.7、カラーフィルター保護膜 5.1.1、対向電極 5.1.0 および上部配向膜 ORI 1.2 が順次積層して設けられている。この液晶表示装置はガラス基板 1.1 と対向ガラス基板 5.0.8 の層を別々に形成し、その後上下ガラス基板 1.1、5.0.8 を重ねあわせ、両者間に液晶 5.0.6 を封入することによって組立られる。バックライト BL からの光の透過を画素電極 1.3 部分で制限することにより TFT 駆動型のカラー液晶表示装置が構成される。

される。画素電極13を駆動するTFTおよびこれを駆動する駆動回路のTFTとして、以上に述べた本発明の半導体素子を用いることにより、高信頼、高品位のTFT表面液晶表示装置を実現できる。

#### 【0059】

【発明の効果】本発明により、表面の凹凸が小さくかつ結晶粒径の大きい高品質な薄膜半導体を製造できため、それを用いて高品位かつ高信頼の液晶表示装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す断面図である。

【図2】本発明の第1の実施の形態を示す断面図である。

【図3】本発明の第1の実施の形態を示す断面図である。

【図4】本発明の第1の実施の形態を示す断面図である。

【図5】本発明の実施の形態にかかる膜厚40nmの多結晶シリコン膜の断面および平面電子顕微鏡写真とその模写図である。

【図6】本発明の範囲外の膜厚55nmの多結晶シリコン膜の断面および平面電子顕微鏡写真とその模写図である。

【図7】膜厚の異なるシリコン膜における照射レーザエネルギーと平均結晶粒径の関係を示す図である。

【図8】多結晶シリコン膜の結晶粒径の最大値および平均表面凹凸と膜厚の関係を示す図である。

#### 【図9】平均表面凹凸の定義を説明する模式図である。

#### 【図10】本発明の実施の形態を示す断面図である。

【図11】本発明の実施の形態を示す断面図である。

【図12】本発明の実施の形態を示す断面図である。

【図13】本発明の実施の形態を示す断面図である。

【図14】本発明の実施の形態を示す断面図である。

【図15】本発明の実施の形態を示す断面図である。

【図16】本発明の実施の形態を示す断面図である。

【図17】本発明の実施の形態を示す断面図である。

【図18】本発明の実施の形態を示す断面図である。

【図19】本発明の実施の形態を示す断面図である。

【図20】本発明の方法により作製したTFTと従来のTFTのゲートリース電流特性の比較を示す。

【図21】本発明の実施の形態にかかる液晶表示装置の単位画素の平面図である。

【図22】本発明の実施の形態にかかる液晶表示装置の単位画素の断面図である。

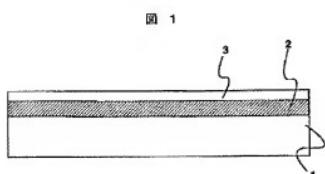
【図23】本発明の実施の形態にかかる駆動回路内底型液晶表示装置の全体構成図である。

【図24】本発明の実施の形態にかかる液晶表示装置のセル断面図である。

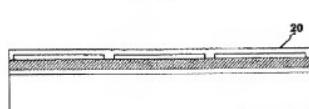
#### 【符号の説明】

- 1…ガラス基板、2…下地酸化シリコン膜、3…水素化非晶質シリコン、4…XeClエキシマーレーザ、5、6、30…多結晶シリコン膜、10…ゲート電極、11…ソース電極、12…ドレイン電極、13…画素電極、20…ゲート絶縁膜、21…層間絶縁膜、22…保護絶縁膜(SiO<sub>2</sub>)、23…保護絶縁膜(Si<sub>3</sub>N<sub>4</sub>)、31…n層、32…p層、51…垂直走査回路、53…水平走査回路、50…TFTアクリティマトリックス、52…スイッチマトリクス回路、200…窒化シリコン膜、331…n層。

【図1】



【図12】



【図2】

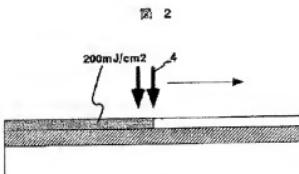
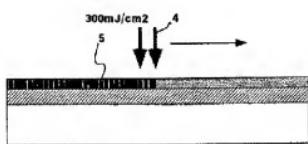


図 12

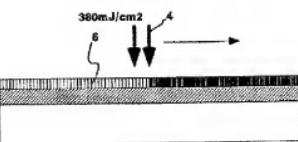
【図3】

図3



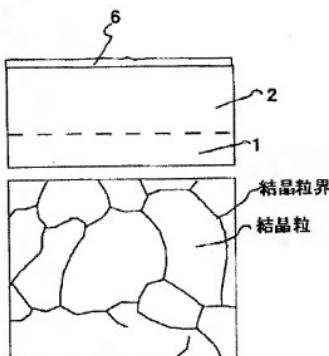
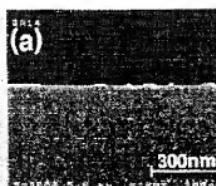
【図4】

図4



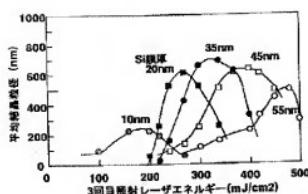
【図5】

図5



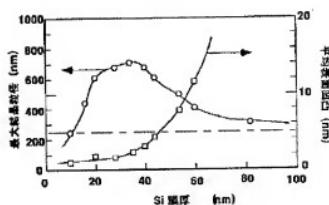
【図7】

図7



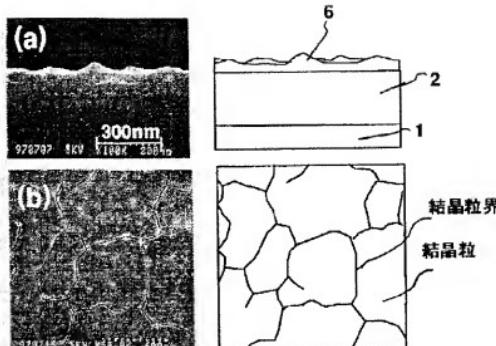
【図8】

図8



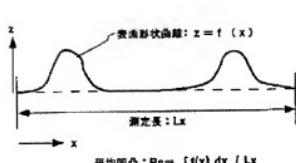
【図6】

図 6



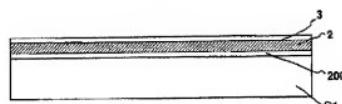
【図9】

図 9



【図10】

図 10

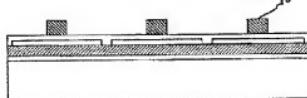
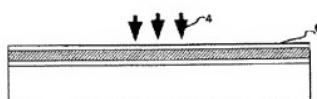


【図13】

図 13

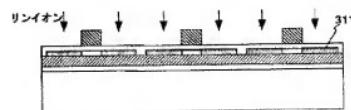
【図11】

図 11



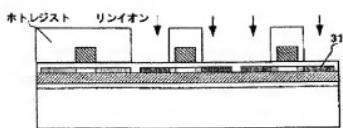
【図14】

図 14



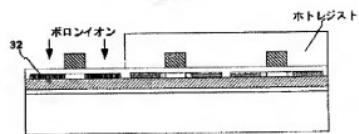
【図15】

図 15



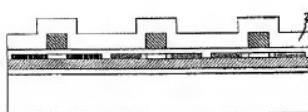
【図16】

図 16



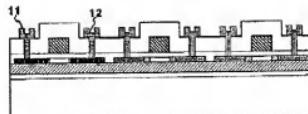
【図17】

図 17



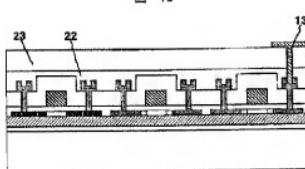
【図18】

図 18



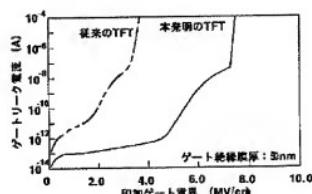
【図19】

図 19



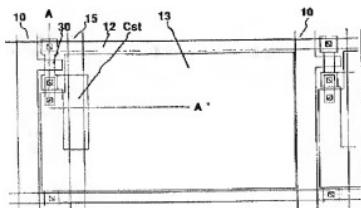
【図20】

図 20



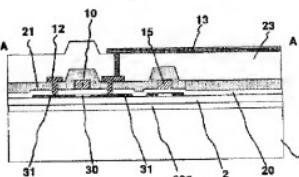
【図21】

図 21



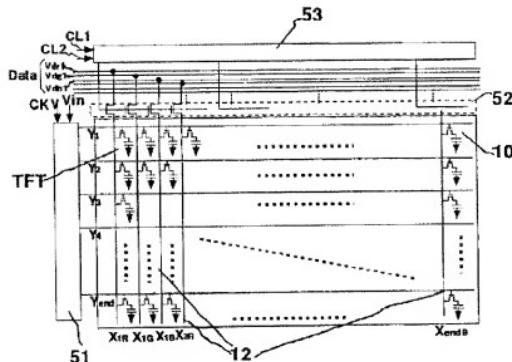
【図22】

図 22



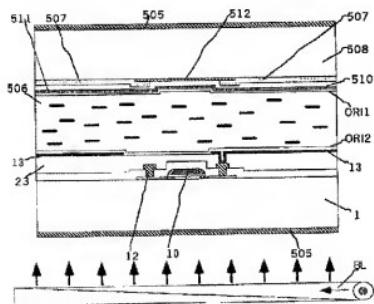
【図23】

図 23



【図24】

図 24



フロントページの続き

(51) Int. Cl.  
(参考)

識別記号

P I

7-22-1\*

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Patent Application Publication Number: 2000-81642 (P2000-81642A)

(43) Publication Date: March 21, 2000

	5	(51) Int. Cl. <sup>7</sup>	Identification Symbol	FI	Theme Code (Reference)
	G02F	1/1365		G02F	1/136
	G09F	9/30	338	G09F	9/30
	H01L	21/20		H01L	21/20
		21/268			21/268 F
10		29/786			29/78 627 G

Request for Examination: Not made

Number of Claims: 28 OL (13 pages in total)

*Continued on the last page*

(21) Application Number: H11-191210

15 (22) Filing Date: July 6, 1999

(31) Priority Number: H10-190097

(32) Priority Date: July 6, 1998

(33) Priority Country: Japan (JP)

(71) Applicant: 000005108

20 Hitachi, Ltd.

4-6, Kanda Surugadai, Chiyoda-ku, Tokyo

(72) Inventor: Genshiro KAWACHI

c/o Hitachi Research Laboratory, Hitachi, Ltd.

7-1-1, Ohmika-cho, Hitachi-shi, Ibaraki-ken

25 (72) Inventor: Youmei SHINAGAWA

c/o Hitachi Research Laboratory, Hitachi, Ltd.

7-1-1, Ohmika-cho, Hitachi-shi, Ibaraki-ken

(72) Inventor: Akio MIMURA

c/o Hitachi Research Laboratory, Hitachi, Ltd.

30 7-1-1, Ohmika-cho, Hitachi-shi, Ibaraki-ken

(74) Agent: 100075096

Patent attorney, Yasuo SAKUTA

---

(54) [Title of the Invention]

LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING

5   METHOD THEREOF

(57)[Summary]

[Object]

It is an object to obtain surface roughness of a crystalline semiconductor whose crystal grain diameter is large and whose surface has small roughness.

10   [Means for Solution]

A method is employed in which an amorphous semiconductor including hydrogen with a thickness of 45 nm or less is irradiated with a laser beam in order to form a polycrystalline semiconductor and is further irradiated with a laser beam having higher energy in order to weld crystal grains formed by the laser irradiation, so that 15 larger crystal grains are grown. Instead of crystal growth in a lateral direction, small crystal grains are welded in order to generate large crystal grains. Accordingly, generation of projections at crystal grain boundaries can be suppressed; thus, a high-quality crystalline semiconductor whose surface has small roughness and whose crystal grain diameter is large can be formed.

20   [Scope of Claims]

[Claim 1]

A method for manufacturing a liquid crystal display device, comprising: over an insulating substrate, a plurality of signal wirings; a gate wiring formed so as to intersect with the plurality of signal wirings; a plurality of semiconductor elements 25 formed in a vicinity of an intersection of the signal wirings and the gate wiring; and a pixel electrode which is connected to the plurality of semiconductor elements, comprising the steps of:

for the semiconductor film included in the semiconductor element,

a first step of forming an amorphous semiconductor film including hydrogen;

30           a second step of performing irradiation with an energy beam having a first energy density on the amorphous semiconductor film including hydrogen;

a third step of performing irradiation with an energy beam having a second energy density which is higher than the first energy density on the semiconductor film; and

5 a fourth step of performing irradiation with an energy beam having a third energy density which is higher than the second energy density on the semiconductor film.

[Claim 2]

The method for manufacturing a liquid crystal display device according to claim 1, wherein the amorphous semiconductor layer in the first step includes hydrogen 10 at 5 at % or more.

[Claim 3]

The method for manufacturing a liquid crystal display device according to claim 2, wherein the thickness of the amorphous semiconductor layer in the first step is greater than or equal to 20 nm and less than or equal to 45 nm.

15 [Claim 4]

A method for manufacturing a liquid crystal display device, comprising: over an insulating substrate, a plurality of signal wirings; a gate wiring formed so as to intersect with the plurality of signal wirings; a plurality of semiconductor elements formed in a vicinity of an intersection of the signal wirings and the gate wiring; a pixel 20 electrode which is connected to the plurality of semiconductor elements; and a capacitor which is connected to the plurality of semiconductor elements and whose at least one electrode includes a semiconductor film, comprising the steps of:

for the semiconductor film included in the electrode of the capacitor,

a first step of forming an amorphous semiconductor film including hydrogen;

25 a second step of performing irradiation with an energy beam having a first energy density on the amorphous semiconductor film including hydrogen;

a third step of performing irradiation with an energy beam having a second energy density which is higher than the first energy density on the semiconductor film; and

30 a fourth step of performing irradiation with an energy beam having a third energy density which is higher than the second energy density on the semiconductor film.

[Claim 5]

The method for manufacturing a liquid crystal display device according to claim 4, wherein the amorphous semiconductor film in the first step includes hydrogen at 5 at % or more.

5 [Claim 6]

The method for manufacturing a liquid crystal display device according to claim 5, wherein the thickness of the amorphous semiconductor film in the first step is greater than or equal to 20 nm and less than or equal to 45 nm.

[Claim 7]

10 The method for manufacturing a liquid crystal display device according to any one of claims 1 to 6, wherein the semiconductor film included in the semiconductor element or one of the electrodes of the capacitor has surface roughness of 5 nm or less.

[Claim 8]

15 The method for manufacturing a liquid crystal display device according to any one of claims 1 to 7, wherein the semiconductor film included in the semiconductor element or one of the electrodes of the capacitor is a polycrystalline semiconductor and has an average crystal grain diameter of 600 nm or more.

[Claim 9]

20 The method for manufacturing a liquid crystal display device according to any one of claims 1 to 6, wherein the first step to the fourth step are conducted without exposing a surface of the semiconductor film to the atmosphere.

[Claim 10]

A method for manufacturing a liquid crystal display device, comprising the steps of:

25 forming an insulating film over an insulating substrate;

forming an amorphous semiconductor film including hydrogen over the insulating film;

performing irradiation with an energy beam having a first energy density on the amorphous semiconductor film including hydrogen;

30 performing irradiation with an energy beam having a second energy density which is higher than the first energy density; and

performing irradiation with an energy beam having a third energy density which is higher than the second energy density.

[Claim 11]

5 The method for manufacturing a liquid crystal display device according to any one of claims 1 to 7, wherein the semiconductor film contains silicon as a main component.

[Claim 12]

A method for manufacturing a liquid crystal display device which has a step in which a semiconductor thin film is crystallized by irradiation with an energy beam, 10 comprising the steps of:

forming a first crystalline semiconductor by irradiation with an energy beam such as laser;

performing irradiation with an energy beam having a higher energy density such as laser;

15 welding crystal grains included in the first crystalline semiconductor; and forming a second crystalline semiconductor which has larger crystal grains than the first crystalline semiconductor.

[Claim 13]

A method for manufacturing a liquid crystal display device which has a step in 20 which a semiconductor thin film with a thickness of 45 nm or less is crystallized by irradiation with an energy beam such as laser, comprising the steps of:

forming a first crystalline semiconductor by irradiation with an energy beam such as laser;

25 performing irradiation with an energy beam having a higher energy density such as laser;

welding crystal grains included in the first crystalline semiconductor; and

forming a second crystalline semiconductor which has larger crystal grains than the first crystalline semiconductor.

[Claim 14]

30 The method for manufacturing a liquid crystal display device according to claim 11 or 12, wherein the semiconductor thin film is an amorphous silicon film.

[Claim 15]

The method for manufacturing a liquid crystal display device according to any one of claims 1 to 6, wherein the amorphous semiconductor film is formed by a plasma chemical vapor deposition method.

[Claim 16]

5       The method for manufacturing a liquid crystal display device according to claim 10, wherein among the insulating film, an insulating film which is in contact with the amorphous semiconductor film is formed by a plasma chemical vapor deposition method using a mixed gas of alkoxy silane and oxygen.

[Claim 17]

10      The method for manufacturing a liquid crystal display device according to claim 16, wherein the alkoxy silane includes Si-H bonds in molecules.

[Claim 18]

A method for manufacturing a liquid crystal display device, comprising the steps of:

- 15      obtaining a polycrystalline semiconductor film through the steps of:  
                forming an insulating film over an insulating substrate;  
                forming an amorphous semiconductor film including hydrogen over  
                the insulating film;  
                performing irradiation with an energy beam having a first energy  
                density on the amorphous semiconductor film including hydrogen;  
20      performing irradiation with an energy beam having a second energy  
                density which is higher than the first energy density; and  
                performing irradiation with an energy beam having a third energy  
                density which is higher than the second energy density;  
25       patterning the polycrystalline semiconductor film to have a predetermined  
                shape;  
                forming a gate insulating film so as to cover the patterned polycrystalline  
                semiconductor;  
                forming a gate electrode so as to extend over a part of the polycrystalline  
                semiconductor with the gate insulating film interposed therebetween;

introducing a P-type impurity or an N-type impurity in a predetermined portion of the polycrystalline semiconductor by an ion implantation method or the like using the gate electrode as a mask;

- 5 forming a source region and a drain region by activating the P-type impurity or the N-type impurity by heat treatment;

forming an interlayer insulating film so as to cover the polycrystalline semiconductor, the gate electrode, the source region, and the drain region;

forming an opening portion in the interlayer insulating film over the source electrode and the drain electrode [sic.];

- 10 forming a source electrode and a drain electrode so as to be connected to the source region and the drain region through the opening portion;

forming a protective insulating film so as to at least cover the source electrode and the drain electrode;

- 15 forming a second opening portion in the protective insulating film over the source electrode or the drain electrode; and

forming a pixel electrode which is connected to the source electrode or the drain electrode through the second opening portion.

[Claim 19]

- The method for manufacturing a liquid crystal display device according to any one of claims 1 to 18, wherein the insulating substrate is a glass substrate which has a strain point of 700 °C or less and which has a side with a length of at least 800 mm or more.

[Claim 20]

- A liquid crystal display device, comprising:
- 25 over an insulating substrate,  
a plurality of signal wirings;  
a gate wiring formed so as to intersect with the plurality of signal wirings;  
a plurality of semiconductor elements formed in a vicinity of an intersection of the signal wirings and the gate wiring; and
- 30 a pixel electrode which is connected to the plurality of semiconductor elements, wherein the semiconductor film included in the semiconductor element which has a thickness of greater than or equal to 20 nm and less than or equal to 45 nm, whose

average surface roughness is 5 nm or less, and whose average crystal grain diameter is 600 nm or more, is formed by a laser crystallization method.

[Claim 21]

- A liquid crystal display device, comprising:  
5 over an insulating substrate,  
a plurality of signal wirings;  
a gate wiring formed so as to intersect with the plurality of signal wirings;  
a plurality of semiconductor elements formed in a vicinity of an intersection of the signal wirings and the gate wiring;  
10 a pixel electrode which is connected to the plurality of semiconductor elements; and  
a capacitor which is connected to the plurality of semiconductor elements and whose at least one electrode includes a semiconductor film,  
wherein the semiconductor film included in the electrode of the capacitor  
15 which has a thickness of greater than or equal to 20 nm and less than or equal to 45 nm, whose average surface roughness is 5 nm or less, and whose average crystal grain diameter is 600 nm or more, is formed by a laser crystallization method.

[Claim 22]

- A liquid crystal display device, comprising at least:  
20 over an insulating substrate,  
a plurality of signal wirings;  
a gate wiring formed so as to intersect with the plurality of signal wirings;  
a plurality of semiconductor elements formed in a vicinity of an intersection of the signal wirings and the gate wiring; and  
25 a pixel electrode which is connected to the plurality of semiconductor elements,  
wherein the semiconductor film included in the semiconductor element which has a thickness of greater than or equal to 20 nm and less than or equal to 45 nm, whose average surface roughness is 5 nm or less, and whose average crystal grain diameter is 600 nm or more, is formed by a laser crystallization method, and  
30 wherein in the semiconductor film, when an area of a certain crystal grain is defined as  $S_n$ , the length of the periphery  $L_n$  on the crystal grain surface is satisfied by

$L_n \leq 4\pi R_n$  in crystal grains of at least 50 % or more with respect to  $R_n$  which is defined by  $R_n = (S_n/\pi)^{1/2}$ .

[Claim 23]

- A liquid crystal display device, comprising:  
 5        over an insulating substrate,  
 a plurality of signal wirings;  
 a gate wiring formed so as to intersect with the plurality of signal wirings;  
 a plurality of semiconductor elements formed in a vicinity of an intersection of the signal wirings and the gate wiring;  
 10      a pixel electrode which is connected to the plurality of semiconductor elements; and  
 a capacitor which is connected to the plurality of semiconductor elements and whose at least one electrode includes a semiconductor film,  
 wherein the semiconductor film included in the electrode of the capacitor  
 15      which has a thickness of greater than or equal to 20 nm and less than or equal to 45 nm, whose average surface roughness is 5 nm or less, and whose average crystal grain diameter is 600 nm or more, is formed by a laser crystallization method, and  
 wherein in the semiconductor film, when an area of a certain crystal grain is defined as  $S_n$ , the length of the periphery  $L_n$  on the crystal grain surface is satisfied by  
 20       $L_n \leq 4\pi R_n$  in crystal grains of at least 50 % or more with respect to  $R_n$  which is defined by  $R_n = (S_n/\pi)^{1/2}$ .

[Claim 24]

- The liquid crystal display device according to any one of claims 20 to 23, wherein the semiconductor film is a polycrystalline silicon film whose main crystal orientation on a surface is (111).

[Claim 25]

The liquid crystal display device according to any one of claims 20 to 24, wherein the insulating substrate is a glass substrate which has a strain point of 700 °C or less.

- 30 [Claim 26]

The liquid crystal display device according to any one of claims 20 to 24, wherein the semiconductor element has a top gate structure in which a gate electrode is formed over the semiconductor film with an insulating film interposed therebetween.

[Claim 27]

5 The method for manufacturing a liquid crystal display device according to any one of claims 1 to 6, wherein the energy beam is laser light.

[Claim 28]

The method for manufacturing a liquid crystal display device according to any one of claims 1 to 6, wherein the irradiation with the energy beam in the second step, 10 the third step, or the fourth step is performed plural times.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

15 The present invention relates to a liquid crystal display device and a manufacturing method thereof, especially, a structure of a high-quality liquid crystal display device with large size, high definition, and high image quality and a manufacturing method thereof.

[0002]

[Prior Art]

20 As a display device which displays image information and textual information of office automation equipment or the like, an active matrix type liquid crystal display device using a thin film transistor (hereinafter referred to as a "TFT") is known. In a conventional manner, it is an important object of this type of liquid crystal display device to achieve cost reduction, high definition, and high quality image. In order to 25 achieve these objects, improvement in performance of a TFT which is a key device is essential. In the case where a high-performance TFT is formed over an inexpensive glass substrate, for example, as described in Japanese Published Patent Application No. H8-167722, a TFT has been also included in a peripheral driver circuit for driving a TFT active matrix and formed over one substrate in an attempt to reduce costs. If a 30 higher-performance peripheral driver circuit can be formed over one glass substrate, simplification of a circuit configuration mounted in an external portion and the process for mounting can be realized. Thus, extreme reduction in costs for mounting can be

expected. In order to configure a high-performance circuit, a higher-performance TFT is necessary. In particular, at present, a poly-Si TFT which is formed over a polycrystalline silicon (hereinafter referred to as "poly-Si") film as a TFT for a peripheral driver circuit integrated type liquid crystal display device is expected. In

- 5 order to form a high-performance poly-Si TFT over a large-sized substrate, it is necessary to form a high-quality poly-Si film at low temperature. As a technology for forming a high-quality poly-Si film over a large-sized glass substrate at low temperature, a laser crystallization method with high power laser is known.

[0003]

- 10 In a conventional laser crystallization method of a semiconductor film, especially when a polycrystal whose size of a crystal grain is large is formed, projections which have the same level height as the thickness of the film are generated. When this semiconductor thin film is employed for a device, especially for an active layer of a thin film transistor, hot carriers cause deterioration of a gate insulating film  
15 due to electric field concentration at projection portions. Thus, this projection contributes to reduction in a withstand voltage characteristic of a gate insulating film and reliability for a long-term use. As a method for manufacturing a crystalline semiconductor thin film whose surface has small roughness with laser crystallization, as described in (1) IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 42 NO.  
20 2 1995 p251, laser irradiation with  $10 \text{ mJ/cm}^2$  pitch in multiple stages has been reported so far.

[0004]

- As described in (2) Dig. of Tech. Papers 1997 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1997) p167, laser  
25 irradiation is performed after amorphous silicon is polycrystallized by a solid layer [sic.] growth method.

[0005]

- As described in (3) Dig. of Tech. Papers 1996 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1996) p85, there is  
30 a method in which when crystallization is performed, a cap material which transmits laser light is formed on a semiconductor surface in order to suppress growth of roughness.

[0006]

[Problems to be Solved by the Invention]

In the above-described conventional technology, there are problems as follows.  
In the conventional technology (1), irradiation with laser with  $10 \text{ mJ/cm}^2$  pitch is  
5 minutely performed in multiple stages. In this case, when microcrystalline silicon is once formed, the microcrystalline silicon is not easily melted and only polycrystalline silicon whose crystal grain diameter is about 60 nm is formed. Thus, there is a problem that large polycrystalline silicon whose crystal grain diameter is 500 nm or more cannot be formed.

10 [0007]

In (2), because a solid layer [sic.] growth method is employed, silicon is heated at  $1000^\circ\text{C}$ . Thus, an inexpensive glass substrate cannot be used, and there is a problem in that a crystalline semiconductor cannot be manufactured at low costs.

[0008]

15 In (3), at the time of melting by laser irradiation, heat is released to a cap material due to heat conduction; thus, there is a problem that the crystallization rate becomes higher and only a low-quality polycrystalline semiconductor whose crystal grain diameter is small is manufactured.

[0009]

20 As described above, by the conventional laser crystallization methods, there has been a difficulty in improving both of reliability of elements due to smoothness of a surface and performance such as the mobility due to the increase in the grain diameter.

[0010]

In contrast, it is an object of the present invention to achieve both increase in a  
25 crystal grain diameter and suppression of generation of projections over a semiconductor surface with a laser irradiation method. The present invention provides a flat high-performance crystalline semiconductor film whose average crystal grain diameter is 600 nm or more, whose average surface roughness is 5 nm or less, and whose thickness is 45 nm or less; and a liquid crystal display device using the same.

30 [0011]

[Means for Solving the Problem]

In the present invention, in order to solve the above problems, there is a feature that when a semiconductor thin film is irradiated with a laser beam to be crystalized, the thickness of the semiconductor film is set to 45 nm or less; once a polycrystalline semiconductor is formed by the laser irradiation; then, laser irradiation with higher energy is performed; crystal grains formed by the laser irradiation are welded; and a polycrystalline semiconductor film whose crystal grain is larger and whose surface is flat is grown.

[0012]

In particular, manufacturing steps including: a first step in which an amorphous semiconductor film including hydrogen is formed over an insulating substrate; a second step in which irradiation with an energy beam having a first energy density such as laser light is performed on the amorphous semiconductor film including hydrogen at least one or more times; a third step in which irradiation with an energy beam having a second energy density which is higher than the first energy density such as laser light is performed on the semiconductor film at least one or more times; and a fourth step in which irradiation with an energy beam having a third energy density which is higher than the second energy density such as laser light is performed on the semiconductor film at least one or more times were employed.

[0013]

As an initial film, an amorphous semiconductor film moderately including hydrogen is formed by a plasma CVD method so that an amorphous semiconductor can be formed uniformly over a large-sized glass substrate having a side with a length of 800 mm or more at low temperature of 400 °C or less. Further, the thickness of the initial film affects the surface roughness after recrystallization with laser. According to experiments by the present inventors, it is apparent that the surface roughness can be suppressed to about 5 nm or less if the film thickness is 45 nm or less.

[0014]

Next, the inside of the amorphous semiconductor is heated by a first laser irradiation so that hydrogen in the film is released.

30 [0015]

At this time, the irradiation energy density is set to be the value in which melting and crystallization of the film are not caused so that generation of voids in the film due to release of hydrogen in the film at a stroke can be prevented.

[0016]

5 Then, the amorphous semiconductor is melted and recrystallized by a second laser irradiation which is stronger than the first laser irradiation so that a polycrystalline semiconductor film whose average crystal grain diameter is about 50 nm and whose crystal grain is small is obtained.

[0017]

10 At this time, if irradiation energy is increased at a stroke in order to increase the crystal grain diameter, crystal growth proceeds in a horizontal direction (a direction parallel to a base substrate) in accordance with the temperature gradient which is large also in the horizontal direction in crystallization of silicon which is completely melted. Thus, in a region where adjacent growth surfaces collide with each other (a grain boundary), the density is reduced from  $2.5 \text{ g/cm}^3$ , which is a melted state, to  $2.3 \text{ g/cm}^3$ , which is a crystallized state. Therefore, the expansion in volume is caused and projections are caused. Accordingly, an object to obtain a smooth surface cannot be achieved. Therefore, it is important that the intensity of the second laser beam is selected within the range in which a polycrystalline semiconductor film including small 15 crystal grains whose average crystal grain diameter is about 50 nm can be obtained.

20 [0018]

Finally, crystal grains with small grain diameter which is obtained by the second laser irradiation are welded by irradiation with a third laser beam which is stronger than the second laser beam so that a polycrystalline semiconductor film with 25 large grain diameter is obtained. In the polycrystalline semiconductor film with large grain diameter which is obtained in such a manner, a grain boundary is sandwiched between crystal grains and the crystal grains are welded (a second grain growth) so that expansion of the crystal grains is caused. At this time, because surfaces in which crystal growth proceeds in a horizontal direction do not collide with each other, the 30 height of projections is not changed from the height when crystallization is performed with low leaser. Thus, generation of high projections is suppressed in an entire crystallization process.

[0019]

- Further, in the polycrystalline semiconductor film which is obtained in such a manner, the shape of crystal grains is indeterminate and the length of the periphery  $L_n$  on the crystal grain surface is satisfied by  $L_n \leq 4\pi R_n$  in crystal grains of at least 50 % or  
 5 more with respect to  $R_n$  which is defined by  $R_n = (S_n/\pi)^{1/2}$ . In general, in the polycrystalline semiconductor film formed by a solid phase growth method, crystal grains have a dendrite shape and have the large length of the periphery with respect to the area of the crystal grains; thus, the above formula is not satisfied. In such a polycrystalline semiconductor film, there are many crystal defects; thus, high carrier  
 10 mobility cannot be obtained. In contrast, the polycrystalline semiconductor film according to the present invention is a high-quality crystalline semiconductor with crystal grains whose length of the periphery is small.

[0020]

- Such a flat polycrystalline semiconductor film whose grain diameter is large is  
 15 suitable for a high-performance TFT with high reliability.

[0021]

Other features of the present invention become apparent from the following embodiment modes.

[0022]

20 [Embodiment Mode]

Examples will be described in which silicon is used as a semiconductor film according to embodiments of the present invention with reference to the accompanying drawings.

[0023]

25 (Embodiment Mode 1)

A silicon oxide film 2 is formed over a non-alkali glass substrate 1 which has a size of 680 mm × 880 mm and has a strain point of 670 °C by a plasma CVD method using a tetraethyl orthosilicate (TEOS) and an oxygen gas as sources.

[0024]

- 30 The film formation temperature is 360 °C and the flow ratio of TEOS to O<sub>2</sub> is 1:100. A base silicon oxide film with a film quality as high as that of the gate oxide

film should be formed because the base silicon oxide film is in contact with an upper semiconductor layer. The ratio of TEOS:O<sub>2</sub> is set to 1:100 and the film formation temperature is set to 350 °C so that the high-quality silicon oxide film 2 with a small fixed charge density was able to be obtained. Further, instead of TEOS, the use of 5 triethoxy orthosilicate (H-Si-O<sub>3</sub>(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>) which is formed by replacing one of four alkyl groups of a TEOS molecule with H is also effective at forming a high-quality film.

## [0025]

Next, a hydrogenated amorphous silicon film 3 is formed to have a thickness of 35 nm by a plasma CVD method using monosilane and hydrogen as source gases. The 10 amount of hydrogen in the film which is evaluated by an infrared absorption method was 7 at.% ~ 10 at.% (FIG. 1).

Then, irradiation with XeCl excimer laser 4 at 200 mJ/cm<sup>2</sup> is performed with 30 shots so that hydrogen included in the above hydrogenated amorphous silicon film 3 is released. After the treatment for releasing hydrogen, the amount of hydrogen in the 15 film was 1 at.% to 3 at.% (FIG. 2).

Subsequently, irradiation with the XeCl excimer laser 4 at 300 mJ/cm<sup>2</sup> is performed in order to crystallize amorphous silicon 4 [sic.] which is subjected to the treatment for releasing hydrogen and form a polycrystalline silicon film 5. The average crystal grain diameter was about 60 nm (FIG. 3).

20 After that, when the polycrystalline silicon film 5 is irradiated with the XeCl excimer laser 4 at 380 mJ/cm<sup>2</sup>, crystal grains whose average crystal grain diameter is about 60 nm are welded with each other. Then, a polycrystalline silicon film 6 whose average crystal grain diameter is about 600 nm was obtained (FIG. 4).

FIG. 5 shows scanning electron microscope photographs of a surface and a 25 cross-section of the polycrystalline silicon film 6 which is obtained in such a manner. In a plan view, grain boundary portions are removed by etching treatment in order to make crystal grain boundaries recognized. As seen in the photographs, the surface of the film is extremely smooth and large crystal grains are obtained. The average surface roughness was 3 nm. In order to achieve planarization, the thickness of the 30 initial amorphous silicon film is an important factor. [sic.] FIG. 6 shows scanning electron microscope photographs of a surface and a cross-section of a polycrystalline

silicon film which is formed by subjecting a hydrogenated amorphous silicon film with a thickness of 55 nm to a similar process. Although a similar process was performed, projections about as high as the thickness of the film is observed over a surface of the film with a thickness of 55 nm. There is no difference with the polycrystalline silicon  
5 film formed by the conventional laser crystallization method. Then, relations between the average surface roughness and the crystal grain diameter, and the thickness of the initial hydrogenated amorphous silicon film were examined in detail.

[0026]

FIG. 7 shows a relation between the average crystal grain diameters of silicon  
10 films each having a different initial thickness and irradiation energy of a third round of irradiation with excimer laser.

[0027]

Note that the average crystal grain diameter is defined by the diameter of the circle whose area is equal to the area of each crystal grain. The average crystal grain  
15 diameter  $la$  of a certain region in which  $m$  pieces of crystal grains exist (the area is  $S$ ) is defined by the following formula.

[0028]

$$la = 2 \times ((S/m)/\pi)^{1/2}$$

Note that in the present invention, in the case of a SEM, the area  $S$  by which the average  
20 crystal grain diameter is obtained is the sum of the area of each crystal grain which is photographed under magnification at which the size of the crystal grain can be observed and the entirety of which is photographed without missing parts of the grain boundary in one view. In addition, in the case of plural views, the area  $S$  is the sum of the total areas of crystal grains of which entire parts are present in each view. In the case of an  
25 AFM, an STM, or the like, the area  $S$  is the sum of the total areas of crystal grains of which entire grain boundaries are present in a certain measurement range.

[0029]

When the average crystal grain diameter is maximized, irradiation energy depends on the thickness of an initial film. The smaller the film thickness is, the lower  
30 the irradiation energy is. Further, it is found that the maximum value also depends on the thickness of the initial film. When the film thickness is 35 nm to 45 nm, the maximum value is maximized. Thus, even if the film thickness is smaller or larger

than the range, the largest grain diameter becomes small. The smaller the film thickness is, the larger the largest grain diameter is. It is considered that this is because surface energy on a substrate interface, which serves as a driving force for a second crystal grain growth, becomes higher than grain boundary energy necessary for the 5 rearrangement of atoms at grain boundaries; accordingly, the second crystal grain growth easily occurs. From this result, it is found that in order to increase the crystal grain diameter, thickness of the initial film is less than or equal to 45 nm, preferably, from 35 nm to 45nm.

[0030]

10 FIG. 8 shows a relation between surface roughness and the maximum crystal grain diameter of a film with the maximum average crystal grain diameter, and the thickness of the initial film.

[0031]

15 The surface roughness is the average roughness obtained by an atomic force microscope (AFM).

[0032]

In the present invention, the average surface roughness means arithmetic mean roughness ( $R_a$ ), which is calculated by dividing a volume of a portion surrounded by the 20 surface with the average height of a surface shape curve and a surface shape by a measurement area when the three-dimensional shape of a semiconductor surface is analyzed. In the present invention, when the measurement area is analyzed by an analysis method such as an AFM or a scanning tunnel electron microscope STM) [sic.], which is capable of analyzing a three-dimensional surface shape, a certain range on a semiconductor surface whose area is larger than an analysis limit area available for 25 analysis is defined as the measurement area. In contrast, in the case where a surface shape is analyzed with the two-dimensional cross-sectional structure of a semiconductor, the average surface roughness is obtained by dividing the integral value of height of the surface shape obtained by the surface shape curve by the measurement length as shown in FIG. 9. The cross-sectional structure can be observed by the photograph of a TEM 30 or a high-resolution scanning electron microscope (SEM). Further, the cross-sectional structure can also be observed by scanning a measurement probe of an AFM or an STM once. In the present invention, the range of the measurement length for calculating the

- average roughness is one view or a plural of views of the electronic microscope under magnification at which the roughness can be calculated in the case where an electronic microscope such as a TEM or a SEM is employed as an analysis method. In addition, when an AFM or a STM is employed, the range of the measurement length for calculating the average roughness is a certain range of a semiconductor surface which is longer than the measurement limit length. In the present invention, the average roughness may be calculated with either the three-dimensional shape or the cross-sectional shape. In the case of the three-dimensional shape, when the film thickness direction is defined as a Z axis and the surface shape curve is defined as  $z = f(x, y)$ , Ra is obtained by the following formula.

[0033]

$$Ra = (1/(L_x \cdot L_y)) \times \int_{0}^{L_x} \int_{0}^{L_y} f(x, y) dx dy$$

Here,  $L_x$ : X direction measurement length,  $L_y$ : Y direction measurement length

- On the other hand, in the case of the cross-sectional shape, when the film thickness direction is defined as a Z axis and the measured surface shape curve is defined as  $z = f(x)$ , Ra is obtained by the following formula.

[0034]

$$Ra = (1/L_x) \times \int_{0}^{L_x} f(x) dx$$

Here,  $L_x$ : X direction measurement length.

20 [0035]

From the results of FIG. 8, it is found that the initial film thickness is preferably 20 nm or more so that the average crystal grain diameter can be 600 nm. Further, the film thickness is preferably 45 nm, more preferably 40 nm or less so that the surface roughness can be 5 nm or less.

25 [0036]

Furthermore, when the polycrystalline silicon film according to the present invention is observed by an X-ray diffraction method, it is found that a crystal plane parallel to a substrate surface is oriented mainly along a (111) plane. This phenomenon occurs because surface energy of Si is lowest on the (111) plane. This 30 phenomenon proves that the increase in the crystal grain diameter is caused by the second crystal grain growth caused by surface energy which serves as a driving force.

[0037]

Furthermore, crystal planes of crystal grains are aligned in such a manner so that an effect can be obtained as follows: potential barriers at crystal grain boundaries become low practically, whereby the carrier mobility is increased.

5 [0038]

(Embodiment Mode 2)

Embodiment mode 2 of the present invention will be described with reference to FIG. 10 to FIG. 19.

[0039]

10 A silicon nitride film 200 is deposited to have a thickness of 100 nm over the non-alkali glass substrate 1 which has a size of 680 mm × 880 mm and has a strain point of 670 °C by a plasma CVD method using a mixed gas of monosilane, ammonia, and nitrogen as a source.

[0040]

15 Next, the silicon oxide film 2 is formed to have a thickness of 200 nm by a plasma CVD method using a tetraethyl orthosilicate (TEOS) and an oxygen gas as sources.

[0041]

20 Subsequently, the hydrogenated amorphous silicon 3 is formed to have a thickness of 40 nm by a plasma CVD method using monosilane and hydrogen as source gases (FIG.10). The silicon 3 is formed. The amount of hydrogen in the film which is evaluated by an infrared absorption method was 7 at.% to 10 at.%.

[0042]

25 Then, irradiation with the XeCl excimer laser 4 at 200 mJ/cm<sup>2</sup> is performed with 30 shots so that hydrogen included in the above hydrogenated amorphous silicon film 3 is released. After the treatment for releasing hydrogen, the amount of hydrogen in the film was 1 at.% to 3 at.%.

[0043]

30 Next, irradiation with the XeCl excimer laser 4 at 300 mJ/cm<sup>2</sup> is performed in order to crystallize the amorphous silicon film 3 which is subjected to the treatment for

releasing hydrogen and form the polycrystalline silicon film 5. At this time, the average crystal grain diameter was about 60 nm.

[0044]

- Subsequently, when the polycrystalline silicon film 5 is irradiated with the 5 XeCl excimer laser 4 at 380 mJ/cm<sup>2</sup>, crystal grains are welded to each other. Then, the polycrystalline silicon film 6 whose average crystal grain diameter is about 600 nm and average surface roughness is 3 nm is obtained (FIG. 11). Then, the polycrystalline silicon film 6 is patterned to have a predetermined shape by a publicly known photolithography method.

10 [0045]

Then, a silicon dioxide film is deposited to have a thickness of 50 nm by a plasma CVD method using a tetraethyl orthosilicate (TEOS) and an oxygen gas as sources as a gate insulating film 20. The substrate temperature was set to 360 °C and the flow ratio of TEOS to O<sub>2</sub> was set to 1:100 when the film was formed so that the 15 silicon dioxide film was obtained as the gate insulating film 20 (FIG. 12).

Next, as a gate electrode, an Nb film is deposited to have a thickness of 250 nm by a sputtering method and is patterned to have a predetermined planar shape by a publicly known photolithography method so that a gate electrode of a TFT and a gate electrode 10 which serves as a scan wiring electrode integrated therewith are obtained 20 (FIG. 13).

Subsequently, phosphorus is implanted using the gate electrode as a mask by an ion implantation method under conditions with an accelerating voltage of 45 keV and a dose of 1E13 cm<sup>-2</sup> so that an n<sup>-</sup> layer 311 is formed (FIG. 14). Next, after a predetermined photoresist pattern is formed by a photolithography method, phosphorus 25 is implanted under conditions with an accelerating voltage of 40 keV and a dose of 1E15 cm<sup>-2</sup> so that an n<sup>+</sup> layer 31 is formed (FIG. 15).

After the photoresist pattern is removed, another photoresist pattern is formed by a photolithography method, and boron is implanted under conditions with an accelerating voltage of 30 keV and a dose of 3E15 cm<sup>-2</sup> so that a p<sup>+</sup> layer 32 is formed 30 (FIG. 16).

As an interlayer insulating film, a silicon dioxide film is deposited to have a thickness of 500 nm by a plasma CVD method using a tetraethyl orthosilicate (TEOS)

and an oxygen gas as sources as an interlayer insulating film 21. Heat treatment is performed at 450 °C for 1 hour to activate implanted ions (FIG. 17).

A contact through hole is formed in the interlayer insulating film by a publicly known photolithography method and then an Al film and a Cr film are deposited to have a thickness of 450 nm and 50 nm, respectively, by a sputtering method as a source electrode and a drain electrode and are patterned by a publicly known photolithography method so that a source electrode 11 and a drain electrode 12 are obtained (FIG. 18).

Then, as a protective insulating film, a silicon dioxide film is deposited to have a thickness of 200 nm by a plasma CVD method using a tetraethyl orthosilicate (TEOS) and an oxygen gas as sources as a protective insulating film 22. A silicon nitride film is deposited to have a thickness of 500 nm by a plasma CVD method using a mixed gas of monosilane, ammonia, and nitrogen as a source as a protective insulating film 23.

[0046]

Next, the substrate is subjected to heat treatment in a hydrogen atmosphere or a nitrogen atmosphere at 400 °C for 1 hour so that hydrogen included in the silicon nitride film which serves as the protective insulating film 23 is diffused into the polycrystalline silicon film 3 and defects present at crystal grain boundaries are sealed and deactivated.

[0047]

Finally, a contact through hole is formed in the protective insulating film by a publicly known photolithography method, and then an ITO film is deposited to have a thickness of 140 nm by a sputtering method and is processed by a publicly known photolithography method so that a pixel electrode 13 is formed and an active matrix substrate using a polycrystalline silicon TFT is obtained (FIG. 19).

In this embodiment mode, a TFT active matrix includes the flat polycrystalline silicon film 6 whose average surface roughness is 3 nm; accordingly, the thickness of a gate insulating film over the polycrystalline silicon film 6 can be reduced to 50 nm without reducing reliability.

[0048]

In FIG. 20, the TFT manufactured by the manufacturing method in this embodiment mode is compared with the conventional TFT concerning characteristics of the leakage current between a gate and a source.

[0049]

- In the conventional element in which a gate insulating film is 50 nm, the leakage current appears in a low electric field region in which an applied electric field is 2 MV/cm or less due to electric field concentration at projections over a surface of the polycrystalline silicon film. In addition, the breakdown electric field is 4 MV/cm or less, which is too low for practical use as a liquid crystal driver TFT. However, as for the TFT manufactured by the manufacturing method in this embodiment mode, the high-reliable TFT in which the leakage current is kept sufficiently low in a low electric field region due to its smoothness of a surface of the TFT and the breakdown electric field is 7 MV/cm, which is high, was obtained.

[0050]

- Further, because polycrystalline silicon having favorable crystallinity whose average crystal grain diameter is 600 nm was used, a favorable TFT in which the field effect mobility of NMOS is  $301 \text{ cm}^2/\text{Vs}$  was obtained. These features such as the high carrier mobility and reduction in thickness of the gate insulating film made it possible to obtain a high-performance TFT with high current drive capability. Such a high-performance TFT is suitable for structuring of the high-performance driver circuit which is necessary for the driver circuit of a high-quality display device.

[0051]

- 20 (Embodiment Mode 3)

FIG. 21 is a plan view of a unit pixel of a liquid crystal display device according to another embodiment mode of the present invention. FIG. 22 is a cross-sectional view taken along a line shown as A-A' in FIG. 21.

[0052]

- 25 In this embodiment mode, there is a feature that one of electrodes of a capacitor Cst which is connected to a TFT includes polycrystalline silicon of the present invention as well as the semiconductor included in the TFT. The capacitor Cst is formed of a polycrystalline silicon film 30, a common electrode 15, and the gate insulating film 20 which is interposed therebetween.

- 30 [0053]

Such a capacitor is provided in parallel with a liquid crystal capacitor in order to compensate asymmetry of the liquid crystal applied voltage caused by voltage

dependence of capacitance in a liquid crystal layer and a feedthrough voltage due to parasitic capacitance between a gate and a source of a TFT. In order to reduce asymmetry of the liquid crystal applied voltage sufficiently, the capacitance value is preferably as high as possible. However, a larger area is necessary for a capacitor in general. Therefore, when a large-sized capacitor is formed, the area of an opening portion which transmits light in a pixel becomes small. Thus, light use efficiency is reduced.

[0054]

- Further, in a large-area capacitor portion, a short-circuit defect is easily caused.
- 10 In particular, when the conventional polycrystalline silicon film whose surface has large projections is used as a capacitor electrode, the short-circuit defect is frequently caused in a capacitor portion; thus, a pixel defect is easily caused. The polycrystalline silicon film whose surface is flat according to the present invention is used as a capacitor electrode; thus, the short-circuit defect in a capacitor portion is hardly caused.
  - 15 Accordingly, a high-quality liquid crystal display device without the pixel defect was able to be structured. Furthermore, because an insulating film in a capacitor portion was able to be thinned without increase in short-circuit defects, the capacitor per unit area was able to be made large and the area necessary for formation of the capacitor was able to be reduced. Accordingly, because the area of an opening portion was able to be made large, light use efficiency was improved and a liquid crystal display device with higher brightness was able to be structured.
  - 20

[0055]

(Embodiment Mode 4)

- FIG. 23 shows an equivalent circuit of an entire display device in which a peripheral driver circuit is formed over one substrate together with a TFT active matrix. The equivalent circuit is formed of an active matrix 50 includes a scan signal line 10 of Y 1 to Y end, the drain electrode 12 which serves as an image signal line and includes X1R to X end B, and a TFT formed in the vicinity of the intersection of them; a vertical scan circuit 51 which drives it; a per [sic.] horizontal scan circuit 53 which divides a video signal for 1 scan line into a plurality of blocks and supplies them by time division access; data signal lines Vdr 1, Vdg 1, Vdb 1, ... which supply video signal Data; and a

switch matrix circuit 52 which supplies the video signal to an active matrix side per divided block.

[0056]

As a semiconductor film, a polycrystalline silicon film which has a feature of the present invention that the surface roughness is 5 nm or less, which is flat, and the average crystal grain diameter is 600 nm or more, which is large, was used. Thus, in an NMOS, a TFT having high mobility of 300 cm/Vs or more was able to be obtained. By use of this TFT, the high-speed operation of the horizontal scan circuit was able to be achieved. This makes it possible to decrease the division number in the case where 10 a video signal is divided into a plurality of blocks. Thus, the number of signal connection lines from the outside was able to be reduced and a compact liquid crystal display device was able to be realized.

[0057]

Further, the high-speed operation of the driver circuit made it possible to 15 realize a liquid crystal display device incorporating a high-definition driver circuit in which the number of vertical scan lines is 1200 and the number of horizontal signal lines is  $1600 \times 3$  with a diagonal size of 10 inches.

[0058]

(Embodiment Mode 5)

FIG. 24 shows a cross-sectional schematic view of a liquid crystal cell of a liquid crystal display device according to the present invention. With the use of a liquid crystal layer 506 as a reference, over the glass substrate 1 in a lower portion of the liquid crystal layer 506, the gate electrode 10 and the drain electrode 12 which serves as an image signal electrode are formed in a matrix. The pixel electrode 13 including ITO is driven through a TFT formed in the vicinity of the intersection. Over a counter glass substrate 508 which is disposed oppositely with the liquid crystal layer 506 interposed, a counter electrode 510 including ITO, a color filter 507, a color filter protective film 511, and a light-shielding film 512 which forms a light-shielding black matrix pattern are formed. A polarizing plate 505 is formed on each of outer surfaces 25 of the glass substrates 1 and 508 which are a pair. The liquid crystal layer 506 is enclosed between a lower part oriented film ORI 1 and an upper part oriented film ORI 2 which set a direction of liquid crystal molecules and is sealed with a sealant SL (not 30 35 40 45 50 55 60 65 70 75 80 85 90 95 100 105 110 115 120 125 130 135 140 145 150 155 160 165 170 175 180 185 190 195 200 205 210 215 220 225 230 235 240 245 250 255 260 265 270 275 280 285 290 295 300 305 310 315 320 325 330 335 340 345 350 355 360 365 370 375 380 385 390 395 400 405 410 415 420 425 430 435 440 445 450 455 460 465 470 475 480 485 490 495 500 505 510 515 520 525 530 535 540 545 550 555 560 565 570 575 580 585 590 595 600 605 610 615 620 625 630 635 640 645 650 655 660 665 670 675 680 685 690 695 700 705 710 715 720 725 730 735 740 745 750 755 760 765 770 775 780 785 790 795 800 805 810 815 820 825 830 835 840 845 850 855 860 865 870 875 880 885 890 895 900 905 910 915 920 925 930 935 940 945 950 955 960 965 970 975 980 985 990 995 1000 1005 1010 1015 1020 1025 1030 1035 1040 1045 1050 1055 1060 1065 1070 1075 1080 1085 1090 1095 1100 1105 1110 1115 1120 1125 1130 1135 1140 1145 1150 1155 1160 1165 1170 1175 1180 1185 1190 1195 1200 1205 1210 1215 1220 1225 1230 1235 1240 1245 1250 1255 1260 1265 1270 1275 1280 1285 1290 1295 1300 1305 1310 1315 1320 1325 1330 1335 1340 1345 1350 1355 1360 1365 1370 1375 1380 1385 1390 1395 1400 1405 1410 1415 1420 1425 1430 1435 1440 1445 1450 1455 1460 1465 1470 1475 1480 1485 1490 1495 1500 1505 1510 1515 1520 1525 1530 1535 1540 1545 1550 1555 1560 1565 1570 1575 1580 1585 1590 1595 1600 1605 1610 1615 1620 1625 1630 1635 1640 1645 1650 1655 1660 1665 1670 1675 1680 1685 1690 1695 1700 1705 1710 1715 1720 1725 1730 1735 1740 1745 1750 1755 1760 1765 1770 1775 1780 1785 1790 1795 1800 1805 1810 1815 1820 1825 1830 1835 1840 1845 1850 1855 1860 1865 1870 1875 1880 1885 1890 1895 1900 1905 1910 1915 1920 1925 1930 1935 1940 1945 1950 1955 1960 1965 1970 1975 1980 1985 1990 1995 2000 2005 2010 2015 2020 2025 2030 2035 2040 2045 2050 2055 2060 2065 2070 2075 2080 2085 2090 2095 2100 2105 2110 2115 2120 2125 2130 2135 2140 2145 2150 2155 2160 2165 2170 2175 2180 2185 2190 2195 2200 2205 2210 2215 2220 2225 2230 2235 2240 2245 2250 2255 2260 2265 2270 2275 2280 2285 2290 2295 2300 2305 2310 2315 2320 2325 2330 2335 2340 2345 2350 2355 2360 2365 2370 2375 2380 2385 2390 2395 2400 2405 2410 2415 2420 2425 2430 2435 2440 2445 2450 2455 2460 2465 2470 2475 2480 2485 2490 2495 2500 2505 2510 2515 2520 2525 2530 2535 2540 2545 2550 2555 2560 2565 2570 2575 2580 2585 2590 2595 2600 2605 2610 2615 2620 2625 2630 2635 2640 2645 2650 2655 2660 2665 2670 2675 2680 2685 2690 2695 2700 2705 2710 2715 2720 2725 2730 2735 2740 2745 2750 2755 2760 2765 2770 2775 2780 2785 2790 2795 2800 2805 2810 2815 2820 2825 2830 2835 2840 2845 2850 2855 2860 2865 2870 2875 2880 2885 2890 2895 2900 2905 2910 2915 2920 2925 2930 2935 2940 2945 2950 2955 2960 2965 2970 2975 2980 2985 2990 2995 3000 3005 3010 3015 3020 3025 3030 3035 3040 3045 3050 3055 3060 3065 3070 3075 3080 3085 3090 3095 3100 3105 3110 3115 3120 3125 3130 3135 3140 3145 3150 3155 3160 3165 3170 3175 3180 3185 3190 3195 3200 3205 3210 3215 3220 3225 3230 3235 3240 3245 3250 3255 3260 3265 3270 3275 3280 3285 3290 3295 3300 3305 3310 3315 3320 3325 3330 3335 3340 3345 3350 3355 3360 3365 3370 3375 3380 3385 3390 3395 3400 3405 3410 3415 3420 3425 3430 3435 3440 3445 3450 3455 3460 3465 3470 3475 3480 3485 3490 3495 3500 3505 3510 3515 3520 3525 3530 3535 3540 3545 3550 3555 3560 3565 3570 3575 3580 3585 3590 3595 3600 3605 3610 3615 3620 3625 3630 3635 3640 3645 3650 3655 3660 3665 3670 3675 3680 3685 3690 3695 3700 3705 3710 3715 3720 3725 3730 3735 3740 3745 3750 3755 3760 3765 3770 3775 3780 3785 3790 3795 3800 3805 3810 3815 3820 3825 3830 3835 3840 3845 3850 3855 3860 3865 3870 3875 3880 3885 3890 3895 3900 3905 3910 3915 3920 3925 3930 3935 3940 3945 3950 3955 3960 3965 3970 3975 3980 3985 3990 3995 4000 4005 4010 4015 4020 4025 4030 4035 4040 4045 4050 4055 4060 4065 4070 4075 4080 4085 4090 4095 4100 4105 4110 4115 4120 4125 4130 4135 4140 4145 4150 4155 4160 4165 4170 4175 4180 4185 4190 4195 4200 4205 4210 4215 4220 4225 4230 4235 4240 4245 4250 4255 4260 4265 4270 4275 4280 4285 4290 4295 4300 4305 4310 4315 4320 4325 4330 4335 4340 4345 4350 4355 4360 4365 4370 4375 4380 4385 4390 4395 4400 4405 4410 4415 4420 4425 4430 4435 4440 4445 4450 4455 4460 4465 4470 4475 4480 4485 4490 4495 4500 4505 4510 4515 4520 4525 4530 4535 4540 4545 4550 4555 4560 4565 4570 4575 4580 4585 4590 4595 4600 4605 4610 4615 4620 4625 4630 4635 4640 4645 4650 4655 4660 4665 4670 4675 4680 4685 4690 4695 4700 4705 4710 4715 4720 4725 4730 4735 4740 4745 4750 4755 4760 4765 4770 4775 4780 4785 4790 4795 4800 4805 4810 4815 4820 4825 4830 4835 4840 4845 4850 4855 4860 4865 4870 4875 4880 4885 4890 4895 4900 4905 4910 4915 4920 4925 4930 4935 4940 4945 4950 4955 4960 4965 4970 4975 4980 4985 4990 4995 5000 5005 5010 5015 5020 5025 5030 5035 5040 5045 5050 5055 5060 5065 5070 5075 5080 5085 5090 5095 5100 5105 5110 5115 5120 5125 5130 5135 5140 5145 5150 5155 5160 5165 5170 5175 5180 5185 5190 5195 5200 5205 5210 5215 5220 5225 5230 5235 5240 5245 5250 5255 5260 5265 5270 5275 5280 5285 5290 5295 5300 5305 5310 5315 5320 5325 5330 5335 5340 5345 5350 5355 5360 5365 5370 5375 5380 5385 5390 5395 5400 5405 5410 5415 5420 5425 5430 5435 5440 5445 5450 5455 5460 5465 5470 5475 5480 5485 5490 5495 5500 5505 5510 5515 5520 5525 5530 5535 5540 5545 5550 5555 5560 5565 5570 5575 5580 5585 5590 5595 5600 5605 5610 5615 5620 5625 5630 5635 5640 5645 5650 5655 5660 5665 5670 5675 5680 5685 5690 5695 5700 5705 5710 5715 5720 5725 5730 5735 5740 5745 5750 5755 5760 5765 5770 5775 5780 5785 5790 5795 5800 5805 5810 5815 5820 5825 5830 5835 5840 5845 5850 5855 5860 5865 5870 5875 5880 5885 5890 5895 5900 5905 5910 5915 5920 5925 5930 5935 5940 5945 5950 5955 5960 5965 5970 5975 5980 5985 5990 5995 6000 6005 6010 6015 6020 6025 6030 6035 6040 6045 6050 6055 6060 6065 6070 6075 6080 6085 6090 6095 6100 6105 6110 6115 6120 6125 6130 6135 6140 6145 6150 6155 6160 6165 6170 6175 6180 6185 6190 6195 6200 6205 6210 6215 6220 6225 6230 6235 6240 6245 6250 6255 6260 6265 6270 6275 6280 6285 6290 6295 6300 6305 6310 6315 6320 6325 6330 6335 6340 6345 6350 6355 6360 6365 6370 6375 6380 6385 6390 6395 6400 6405 6410 6415 6420 6425 6430 6435 6440 6445 6450 6455 6460 6465 6470 6475 6480 6485 6490 6495 6500 6505 6510 6515 6520 6525 6530 6535 6540 6545 6550 6555 6560 6565 6570 6575 6580 6585 6590 6595 6600 6605 6610 6615 6620 6625 6630 6635 6640 6645 6650 6655 6660 6665 6670 6675 6680 6685 6690 6695 6700 6705 6710 6715 6720 6725 6730 6735 6740 6745 6750 6755 6760 6765 6770 6775 6780 6785 6790 6795 6800 6805 6810 6815 6820 6825 6830 6835 6840 6845 6850 6855 6860 6865 6870 6875 6880 6885 6890 6895 6900 6905 6910 6915 6920 6925 6930 6935 6940 6945 6950 6955 6960 6965 6970 6975 6980 6985 6990 6995 7000 7005 7010 7015 7020 7025 7030 7035 7040 7045 7050 7055 7060 7065 7070 7075 7080 7085 7090 7095 7100 7105 7110 7115 7120 7125 7130 7135 7140 7145 7150 7155 7160 7165 7170 7175 7180 7185 7190 7195 7200 7205 7210 7215 7220 7225 7230 7235 7240 7245 7250 7255 7260 7265 7270 7275 7280 7285 7290 7295 7300 7305 7310 7315 7320 7325 7330 7335 7340 7345 7350 7355 7360 7365 7370 7375 7380 7385 7390 7395 7400 7405 7410 7415 7420 7425 7430 7435 7440 7445 7450 7455 7460 7465 7470 7475 7480 7485 7490 7495 7500 7505 7510 7515 7520 7525 7530 7535 7540 7545 7550 7555 7560 7565 7570 7575 7580 7585 7590 7595 7600 7605 7610 7615 7620 7625 7630 7635 7640 7645 7650 7655 7660 7665 7670 7675 7680 7685 7690 7695 7700 7705 7710 7715 7720 7725 7730 7735 7740 7745 7750 7755 7760 7765 7770 7775 7780 7785 7790 7795 7800 7805 7810 7815 7820 7825 7830 7835 7840 7845 7850 7855 7860 7865 7870 7875 7880 7885 7890 7895 7900 7905 7910 7915 7920 7925 7930 7935 7940 7945 7950 7955 7960 7965 7970 7975 7980 7985 7990 7995 8000 8005 8010 8015 8020 8025 8030 8035 8040 8045 8050 8055 8060 8065 8070 8075 8080 8085 8090 8095 8100 8105 8110 8115 8120 8125 8130 8135 8140 8145 8150 8155 8160 8165 8170 8175 8180 8185 8190 8195 8200 8205 8210 8215 8220 8225 8230 8235 8240 8245 8250 8255 8260 8265 8270 8275 8280 8285 8290 8295 8300 8305 8310 8315 8320 8325 8330 8335 8340 8345 8350 8355 8360 8365 8370 8375 8380 8385 8390 8395 8400 8405 8410 8415 8420 8425 8430 8435 8440 8445 8450 8455 8460 8465 8470 8475 8480 8485 8490 8495 8500 8505 8510 8515 8520 8525 8530 8535 8540 8545 8550 8555 8560 8565 8570 8575 8580 8585 8590 8595 8600 8605 8610 8615 8620 8625 8630 8635 8640 8645 8650 8655 8660 8665 8670 8675 8680 8685 8690 8695 8700 8705 8710 8715 8720 8725 8730 8735 8740 8745 8750 8755 8760 8765 8770 8775 8780 8785 8790 8795 8800 8805 8810 8815 8820 8825 8830 8835 8840 8845 8850 8855 8860 8865 8870 8875 8880 8885 8890 8895 8900 8905 8910 8915 8920 8925 8930 8935 8940 8945 8950 8955 8960 8965 8970 8975 8980 8985 8990 8995 9000 9005 9010 9015 9020 9025 9030 9035 9040 9045 9050 9055 9060 9065 9070 9075 9080 9085 9090 9095 9100 9105 9110 9115 9120 9125 9130 9135 9140 9145 9150 9155 9160 9165 9170 9175 9180 9185 9190 9195 9200 9205 9210 9215 9220 9225 9230 9235 9240 9245 9250 9255 9260 9265 9270 9275 9280 9285 9290 9295 9300 9305 9310 9315 9320 9325 9330 9335 9340 9345 9350 9355 9360 9365 9370 9375 9380 9385 9390 9395 9400 9405 9410 9415 9420 9425 9430 9435 9440 9445 9450 9455 9460 9465 9470 9475 9480 9485 9490 9495 9500 9505 9510 9515 9520 9525 9530 9535 9540 9545 9550 9555 9560 9565 9570 9575 9580 9585 9590 9595 9600 9605 9610 9615 9620 9625 9630 9635 9640 9645 9650 9655 9660 9665 9670 9675 9680 9685 9690 9695 9700 9705 9710 9715 9720 9725 9730 9735 9740 9745 9750 9755 9760 9765 9770 9775 9780 9785 9790 9795 9800 9805 9810 9815 9820 9825 9830 9835 9840 9845 9850 9855 9860 9865 9870 9875 9880 9885 9890 9895 9900 9905 9910 9915 9920 9925 9930 9935 9940 9945 9950 9955 9960 9965 9970 9975 9980 9985 9990 9995 9999 10000 10005 10010 10015 10020 10025 10030 10035 10040 10045 10050 10055 10060 10065 10070 10075 10080 10085 10090 10095 10099 10100 10101 10102 10103 10104 10105 10106 10107 10108 10109 10110 10111 10112 10113 10114 10115 10116 10117 10118 10119 10120 10121 10122 10123 10124 10125 10126 10127 10128 10129 10130 10131 10132 10133 10134 10135 10136 10137 10138 10139 10140 10141 10142 10143 10144 10145 10146 10147 10148 10149 10150 10151 10152 10153 10154 10155 10156 10157 10158 10159 10160 10161 10162 10163 10164 10165 10166 10167 10168 10169 10170 10171 10172 10173 10174 10175 10176 10177 10178 10179 10180 10181 10182 10183 10184 10185 10186 10187 10188 10189 10190 10191 10192 10193 10194 10195 10196 10197 10198 10199 10200 10201 10202 10203 10204 10205 10206 10207 10208 10209 10210 10211 10212 10213 10214 10215 10216 10217 10218 10219 10220 10221 10222 10223 10224 10225 10226 10227 10228 10229 10230 10231 10232 10233 10234 10235 10236 10237 10238 10239 10240 10241 10242 10243 10244 10245 10246 10247 10248 10249 10250 10251 10252 10253 10254 10255 10256 10257 10258 10259 10260 10261 10262 10263 10264 10265 10266 10267 10268 10269 10270 10271 10272 10273 10274 10275 10276 10277 10278 10279 10280 10281 10282 10283 10284 10285 10286 10287 10288 10289 10290 10291 10292 10293 10294 10295 10296 10297 10298 10299 10299 10300 10300 10301 10302 10303 10304 10305 10306 10307 10308 10309 10310 10311 10312 10313 10314 10315 10316 10317 10318 10319 10320 10321 10322 10323 10324 10325 10326 10327 10328 10329 10330 10331 10332 10333 10334 10335 10336 10337 10338 10339 10340 10341 10342 10343 10344 10345 10346 10347 10348 10349 10350 10351 10352 10353 10354 10355 10356 10357 10358 10359 10360 10361 10362 10363 10364 10365 10366 10367 10368 10369 10370 1

shown). The lower part oriented film ORI 1 is formed at an upper portion of the protective insulating film 23 on a glass substrate 1 side. On an inner surface of the counter glass substrate 508, the light-shielding film 512, the color filter 507, the color filter protective film 511, the counter electrode 510, and the upper part oriented film 5 ORI 2 are sequentially deposited. This liquid crystal display device is assembled by separately forming layers on the glass substrate 1 side and layers on a counter glass substrate 508 side, making the lower glass substrate 1 superpose the upper glass substrate 508, and enclosing the liquid crystal 506 between them. Transmission of light emitted from a back light BL is controlled in the pixel electrode 13 portion, 10 whereby a TFT driving type color liquid crystal display device is structured. As a TFT for driving the pixel electrode 13 and a TFT of a driver circuit for driving the TFT, the semiconductor element of the present invention which is described above is used, whereby a high-quality TFT type liquid crystal display device with high reliability can be realized.

15 [0059]

[Effect of the Invention]

According to the present invention, a high-quality thin film semiconductor whose surface has small roughness and whose crystal grain diameter is large can be manufactured; accordingly, with the use of it, a high-quality liquid crystal vote [sic.] 20 device with high reliability can be obtained.

[Brief Description of the Drawings]

[FIG. 1] A cross-sectional view showing a first embodiment mode of the present invention.

[FIG. 2] A cross-sectional view showing a first embodiment mode of the present 25 invention.

[FIG. 3] A cross-sectional view showing a first embodiment mode of the present invention.

[FIG. 4] A cross-sectional view showing a first embodiment mode of the present 30 invention.

[FIG. 5] Electron microscope photographs and replicated views of a cross-section and a plane of a polycrystalline silicon film with a thickness of 40 nm according to embodiment modes of the present invention.

- [FIG. 6] Electron microscope photographs and replicated views of a cross-section and a plane of a polycrystalline silicon film with a thickness of 55 nm which does not fall within the scope of the present invention.
- [FIG. 7] A diagram showing a relation between irradiation laser energy and the average 5 crystal grain diameters of silicon films each having a different thickness.
- [FIG. 8] A diagram showing a relation among the maximum crystal grain diameter, the average surface roughness, and the film thickness of a polycrystalline silicon film.
- [FIG. 9] A schematic view explaining the definition of the average surface roughness.
- [FIG. 10] A cross-sectional view showing embodiment modes of the present invention.
- 10 [FIG. 11] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 12] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 13] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 14] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 15] A cross-sectional view showing embodiment modes of the present invention.
- 15 [FIG. 16] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 17] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 18] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 19] A cross-sectional view showing embodiment modes of the present invention.
- [FIG. 20] A diagram showing a comparison of characteristics of the gate leakage current 20 between the TFT manufactured by the method of the present invention and a conventional TFT.
- [FIG. 21] A plan view of a unit pixel of the liquid crystal display device according to embodiment modes of the present invention.
- 25 [FIG. 22] A cross-sectional view of a unit pixel of the liquid crystal display device according to embodiment modes of the present invention.
- [FIG. 23] An overall configuration diagram of the liquid crystal display device incorporating a driver circuit according to embodiment modes of the present invention.
- [FIG. 24] A cross-sectional view of a cell of the liquid crystal display device according to embodiment modes of the present invention.
- 30 [Description of Reference Numerals]  
1 glass substrate, 2 base silicon oxide film, 3 hydrogenated amorphous silicon film,  
4 XeCl excimer laser, 5, 6, 30 polycrystalline silicon film, 10 gate electrode, 11

source electrode, 12 drain electrode, 13 pixel electrode, 20 gate insulating film,  
21 interlayer insulating film, 22 protective insulating film ( $\text{SiO}_2$ ), 23 protective  
insulating film ( $\text{Si}_3\text{N}_4$ ), 31  $n^+$  layer, 32  $p^+$  layer, 51 vertical scan circuit, 53  
horizontal scan circuit, 50 TFT active matrix, 52 switch matrix circuit, 200 silicon  
5 nitride film, 331  $n^-$  layer

---

*Continuation of the front page*

	(51) Int. Cl. <sup>7</sup>	Identification Symbol	FI	Theme Code (Reference)
10		H01L 21/336		